



QXS320F28034数字信号控制器 数据手册

v1.3



合肥乾芯科技有限公司

表 1：版本历史

版本号	修订日期	修订内容
1.0	2025.04.11	初稿
1.1	2025.04.16	修正FLASH描述
1.2	2025.04.21	芯片型号变更为QXS320F28034
1.3	2025.04.25	修正电气参数



目 录

1 特性	7
2 应用	8
3 说明	9
3.1 功能框图	10
3.2 器件特性	11
3.3 产品编码	12
4 终端配置与功能	13
4.1 引脚图	13
4.2 引脚说明	16
4.3 GPIO	24
4.3.1 GPIO 复用引脚表	24
4.3.2 ADC 引脚上的数字输入 (AIO)	25
4.3.3 GPIO 输入 X-BAR	26
4.3.4 GPIO 输出 X-BAR 和 ePWM X-BAR	28
4.4 GPIO 引脚内部上拉/下拉	29
5 规格	30
5.1 绝对最大值范围	30
5.2 产品 ESD 范围	31
5.3 推荐工作条件	31
5.4 耗电概述	32
5.4.1 系统电流消耗 (外部电源)	32
5.4.2 工作模式测试描述	33
5.4.4 减少电流消耗	34
5.5 电气特性	35
5.6 热阻特征	35
5.6.1 PN 封装的热阻特性	35
5.6.2 PGA 封装的热阻特性	36
5.7 散热设计注意事项	36

5.8 模拟外设	37
5.8.1 模数转换器（ADC）	37
5.8.1.1 结果寄存器映射	39
5.8.1.2 ADC 配置	39
5.8.1.3 ADC 电气数据与时序	40
5.8.1.3.1 ADC工作条件	40
5.8.1.3.2 ADC 特性	41
5.8.1.3.3 ADC 时序框图	42
5.8.2 温度传感器	43
5.8.2.1 温度传感器电气数据和时序	43
5.8.3 比较器子系统(CMPSS)	43
5.8.3.1 CMPSS DAC 静态电气特性	44
5.9 控制外设	45
5.9.1 增强型捕获(eCAP)	45
5.9.1.1 eCAP电气数据和时序	47
5.9.2 高分辨率捕捉子模块(HRCAP1–HRCAP2).....	47
5.9.2.1 HRCAP 电气数据和时序	49
5.9.3 增强脉冲宽度调制(ePWM)	51
5.9.3.1 ePWM电气数据和时序	52
5.9.3.2 外部ADC转换脉冲开始的电气数据和时序	53
5.9.4 高分辨率脉冲宽度调制器(HRPWM)	54
5.9.4.1 HRPWM 电气数据和时序	54
5.9.5 增强型正交编码器脉冲(eQEP)	55
5.9.5.1 eQEP电气数据和时序	56
5.10通信外设.....	57
5.10.1 控制局域网络(CAN).....	57
5.10.2 内置集成电路(I2C)	59
5.10.2.1 I2C电气数据和时序	61
5.10.3 串行通信接口(SCI)	63
5.10.4 串行外设接口(SPI)	66

5.10.5.1 SPI 主模式时序	67
5.10.5 SPI从模式时序	71
5.10.6 本地互连网络(LIN).....	73
5.11 系统	75
5.11.1 电源管理.....	75
5.11.2 时钟规范.....	77
5.11.2.1 时钟资源.....	77
5.11.2.2 时钟频率、要求和特性	78
5.11.2.3 外部输入时钟	79
5.11.2.4 内部振荡器	80
6 详细描述	81
6.1 概述	81
6.2 功能框图.....	82
6.3 内存	83
6.3.1 内存映射	83
6.3.2 Flash 内存映射	86
6.3.2.1 Flash 扇区地址.....	86
6.3.3.2 外设寄存器内存映射.....	87
6.3.3 存储器类型	89
6.3.3.1 CPU共享数据 RAM (GSDx RAM)	89
6.3.3.3 CPU共享指令RAM (GSIx RAM).....	89
6.3.3.4 CPU共享指令RAM (BOOT RAM)	89
6.4 总线架构-外设连接	89
6.5.1 介绍	90
6.5.2 特点	90
6.5.3 浮点单元(FPU)	90
6.5.4 三角数学单元(TMU)	91
6.6 直接内存访问(DMA)	92
6.7 看门狗	93
6.8 C28x 计时器	93

6.9 双时钟比较器 (DCC).....	94
6.9.1 特点.....	94
6.9.2 DCCx(DCC0 and DCC1) 时钟源输入映射.....	94
7 开发支持.....	95
7.1 集成开发环境QX-IDE	95
7.2 仿真器	96
7.2.1 简介.....	96
7.2.2 结构.....	96
7.2.2.1 宿主机.....	96
7.2.2.2 目标机.....	97
7.2.2.3 接口卡.....	97
8 封装外形尺寸.....	98
8.1 LQFP80 PIN.....	98
8.2 TQFP64 PIN	101
8.3 VQFN56 PIN.....	103
9 订货信息.....	105
9.1 封装信息.....	105
9.2 托盘信息.....	105
9.3 包装盒尺寸	106
9.4 封装概览.....	106
关于乾芯科技.....	107

1 特性

- 32位单核CPU
 - 120 MHz
 - IEEE-754 单精度浮点单元 (FPU)
 - 三角函数加速器 (TMU)
 - 复杂数学单元 (VCU-I)
- 片上存储器
 - 512KB FLASH (ECC 保护)
 - 320KB SRAM (ECC保护/奇偶校验保护)
- 时钟和控制
 - 两个内部零引脚 10MHz 振荡器
 - 片上晶振振荡器和外部时钟输入
 - 片上 10MHz 振荡器
 - 外部晶振频率最高支持20MHz
 - 看门狗计时器模块
 - 丢失时钟检测电路
 - 双路时钟比较器 (DCC)
- 电源电压: 1.2V 内核、3.3V I/O
 - 可生成 1.2V 电压的内部 VREG
 - 欠压复位 (BOR) 电路
- 系统外设
 - 1通道直接存储器存取 (DMA) 控制器
 - 多达45个独立可编程多路复用GPIO
 - 增强型外设中断扩展 (ePIE) 模块 (外围中断扩展 (PIE) 块, 支持所有外围中断)
 - 持多个具有外部唤醒功能的低功耗模式 (LPM)
 - 嵌入式实时分析和诊断 (ERAD)
- 通信外设
 - 1个内部集成电路 (I2C) 接口
 - 1个CAN FD (兼容CAN2.0) 总线端口
 - 多达2个串行外设接口 (SPI) 端口支持QSPI
 - 1个与UART兼容的串行通信接口 (SCI)
 - 1个本地互连网络 (LIN)
- 模拟系统
 - 2个 4.6MSPS 12位模数转换器 (ADC)
 - 4个12位缓冲数模转换器 (DAC)
 - 4个带12位参考数模转换器 (DAC) 的窗口比较器 (CMPSS)
- 增强型控制外设
 - 多达14个具有增强特性的ePWM通道
 - 2个高分辨率HRPWM通道
 - 2个超高分辨率HHRPWM通道
 - 具有高分辨率的集成死区支持
 - 具有硬件跳闸区域 (TZ)
 - 2个增强型捕捉 (eCAP) 模块
 - 2个增强型捕捉模块 (HRCAP)
 - 1个CW/CCW运行模式的增强型正交编码器脉冲 (eQEP) 模块
- 封装
 - 80 引脚LQFP
 - 64 引脚TQFP
 - 56 引脚VQFN
- 温度
 - -40°C至125°C结温

2 应用

- 交流充电桩
- 直流充电桩
- 电动汽车充电站电源模块
- 车辆无线充电模块
- 能量存储电源转换系统（PCS）
- 太阳能电源优化器
- 串式逆变器
- 直流/直流转换器
- 逆变器和电机控制
- 交流BLDC电机驱动器
- 直流BLDC电机驱动器
- 工业交流/直流电源
- 三相UPS
- 商用网络和服务服务器PSU
- 商用通信电源整流器



3 说明

QXS320F28034是一款对标TI公司的TMS320F2803x系列的32位处理器。主要针对实时控制应用（如工业电机驱动、光伏逆变器和数字电源、电动汽车的电机控制以及空调变频等）。

QXS320F28034拥有对标QXC28x的自主研发的32位CPU内核，可提供120MHz的处理能力。QXS320F28034内部同样集成了FPU，TMU，FPU可以提供32位浮点加速指令，TMU可快速执行包含变换和扭矩环路计算中常见三角运算的算法。

QXS320F28034还集成了高性能模拟外设和增强型控制外设，两个独立的12位采样率为4.6MSPS的常规ADC可准确、高效地管理多个模拟信号，从而最终提高系统吞吐量。三个模拟比较器模块可以针对跳闸情况对输入电压电平进行持续监控。先进的控制外设（具有独立于频率的ePWM/HRPWM 和 eCAP），可对系统进行出色的控制。

通过各种业界通用通信端口（如 SPI、SCI、I2C、LIN 和 CAN2.0）支持连接，并且提供了多个多路复用选项，可在各种应用中实现出色的信号布局。

QXS320F28034支持高达320KBSRAM和512KB Flash存储，能够适应大部分嵌入场景。QXS320F28034还支持8KB的bootloader指令RAM，灵活配置启动过程。



3.1 功能框图

功能框图展示了CPU 系统及关联的外设。

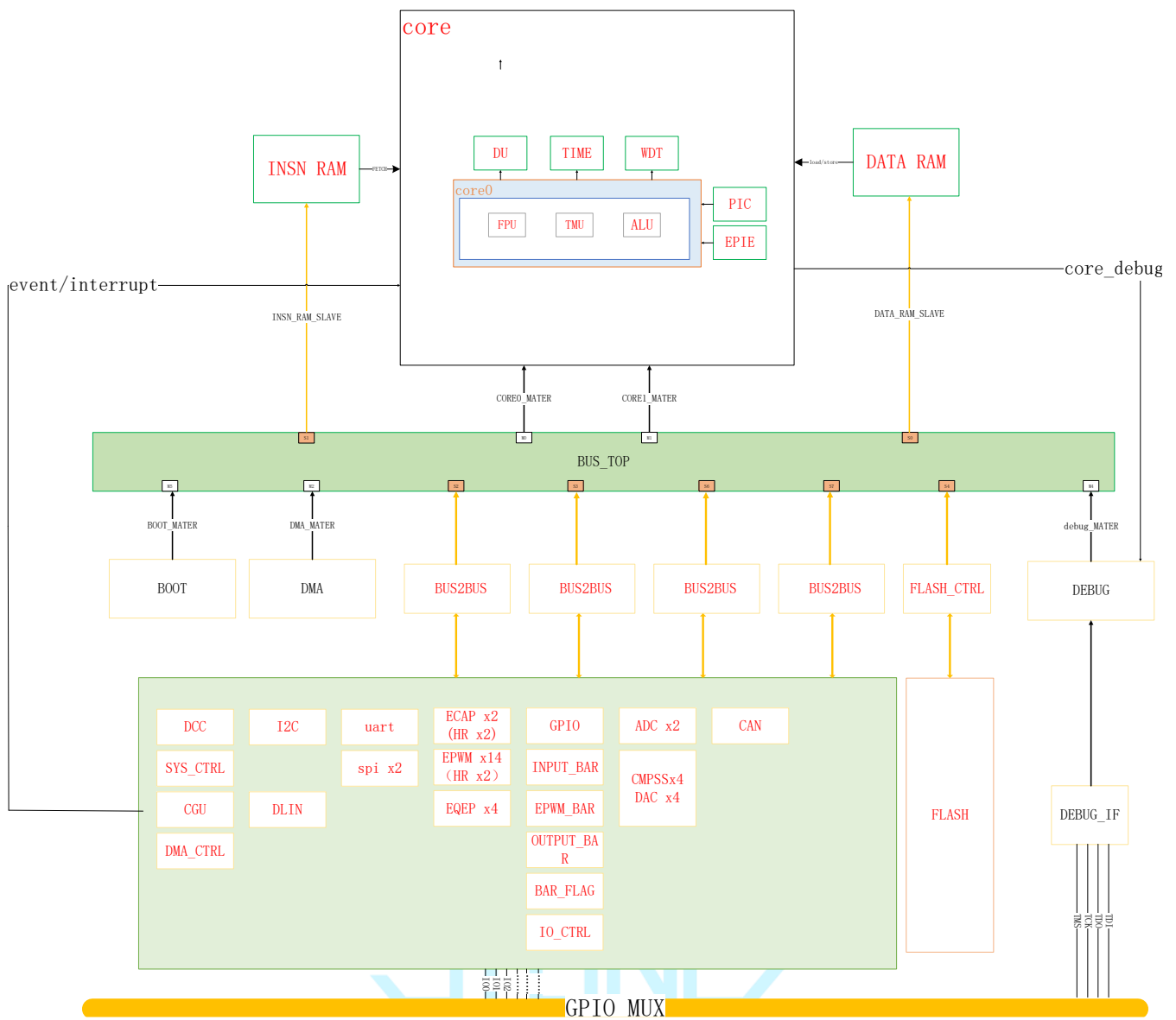


图 3-1 功能框图

3.2 器件特性

功能		QXS320F28034
时钟主频		120 MHz
内核数		单核
IEEE754单精度浮点单元 (FPU)		支持
三角函数加速器 (TMU)		支持
复杂数学单元 (VCU-I)		支持
指令存储IRAM		双核共享320KB
数据存储DRAM		双核共享320KB
片上FLASH		512KB
高速DMA 模块通道		2
32位CPU 定时器		3
窗口看门狗定时器		1
非可屏蔽中断看门狗定时器		1
IO引脚	GPIO	45/33/26
	AIO	6
外部中断		3
12-bit ADC	数量	2
	采样率	4.6M
	通道数	17
	输入模式	单端/差分
比较子系统(CMPSS)	数量	4
	DAC	12bit
12-bit DAC		4
I2C		1
CAN FD(兼容CAN2.0)		1
SPI		2
SCI		1
LIN		1
ePWM	EPWM通道	14
	HRPWM (110ps)	2
	HHRPWM	2
eCAP	eCAP	2
	HRCAP	2
eQEP		1
工作温度 (AT)		-40℃~125℃
封装形式		80 LQFP
		64 TQFP
		56 VQFN

3.3 产品编码

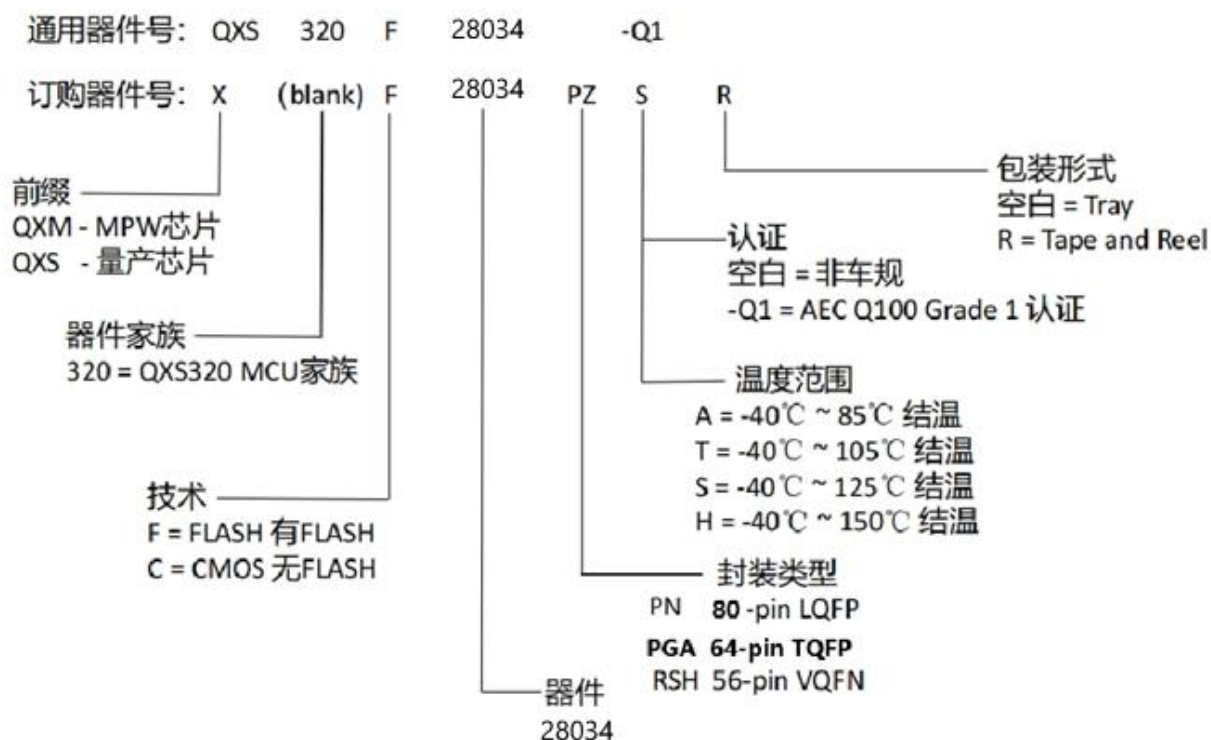
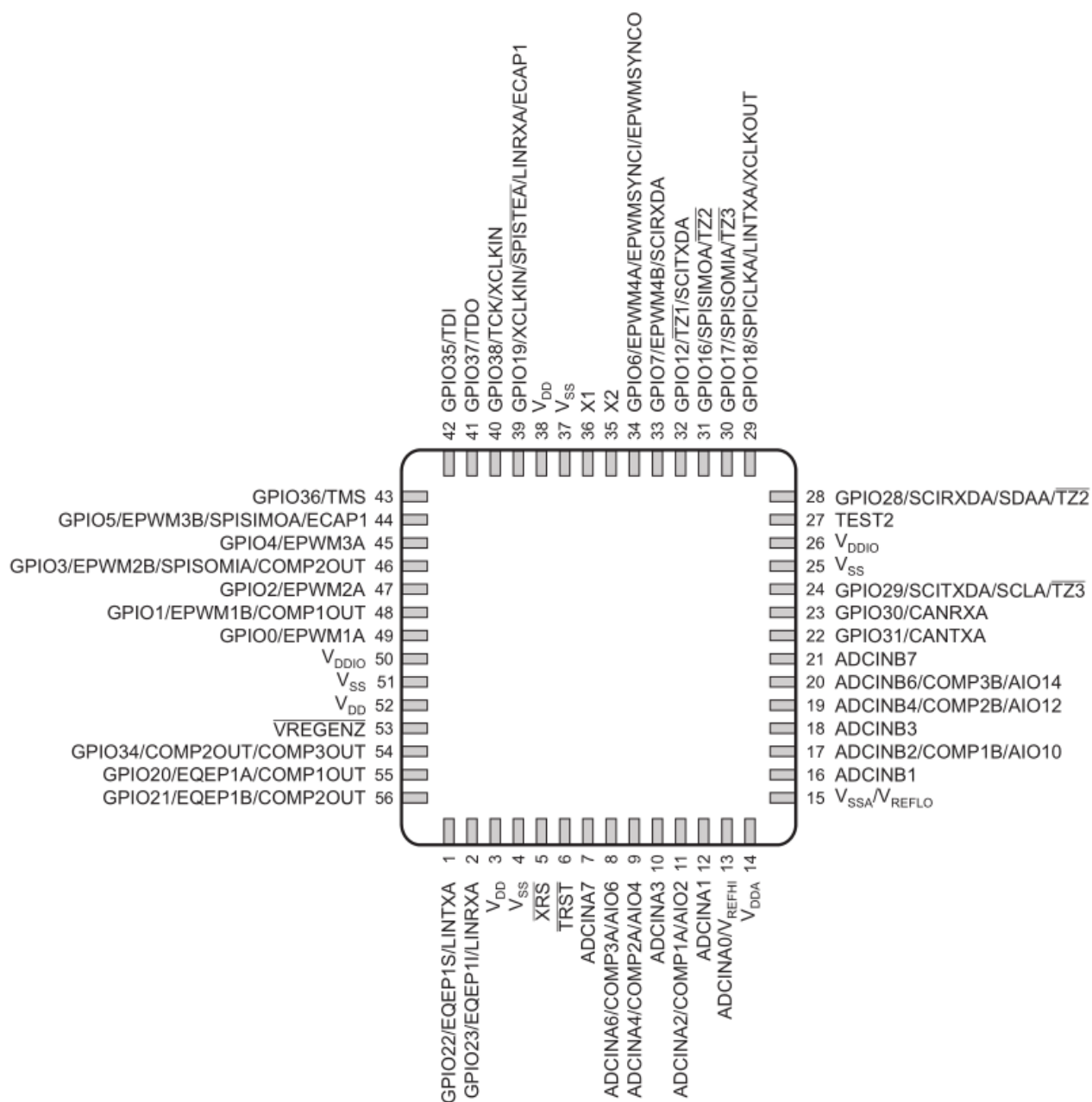


图 3-2 器件命名规则图

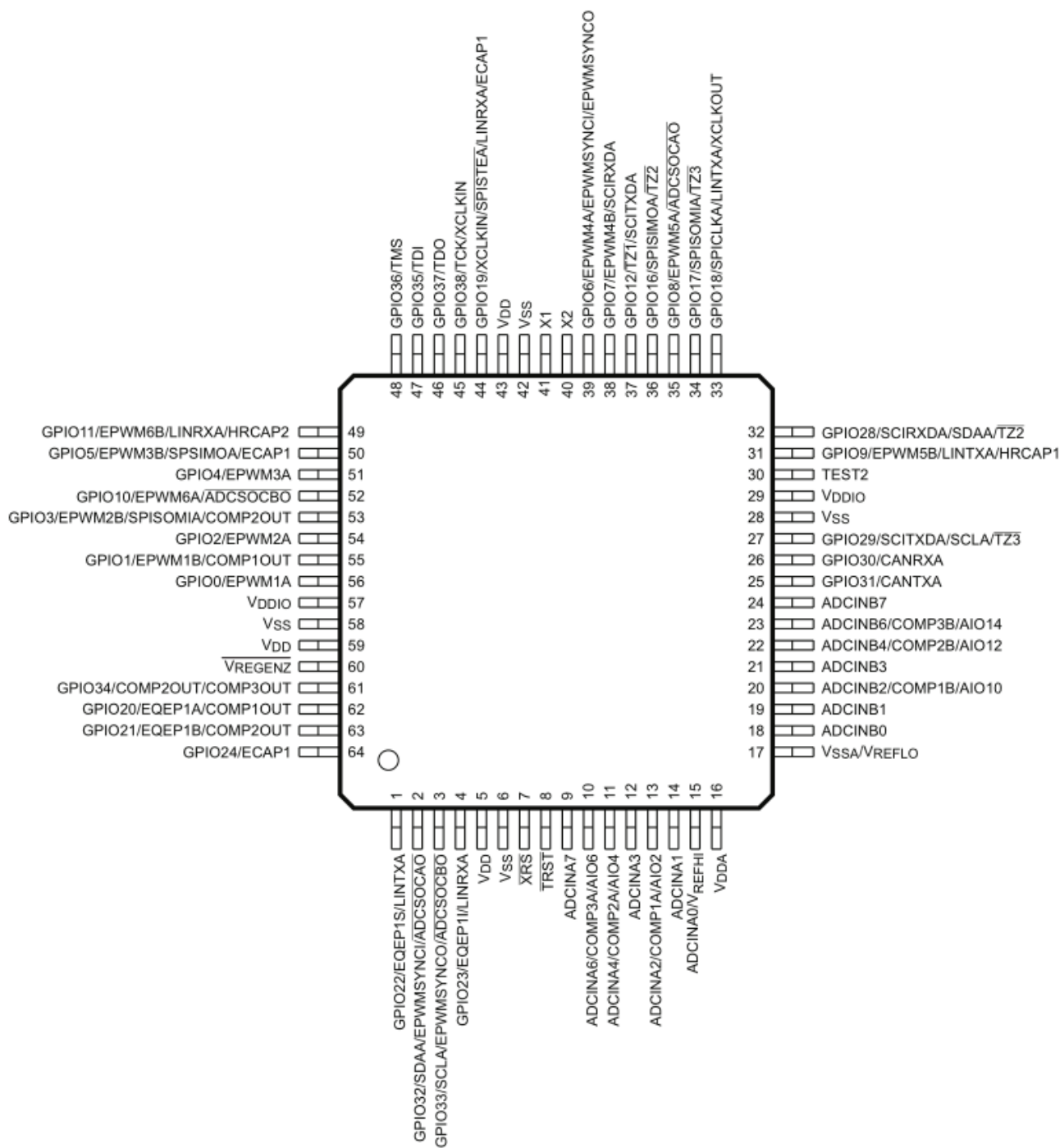


4 终端配置与功能

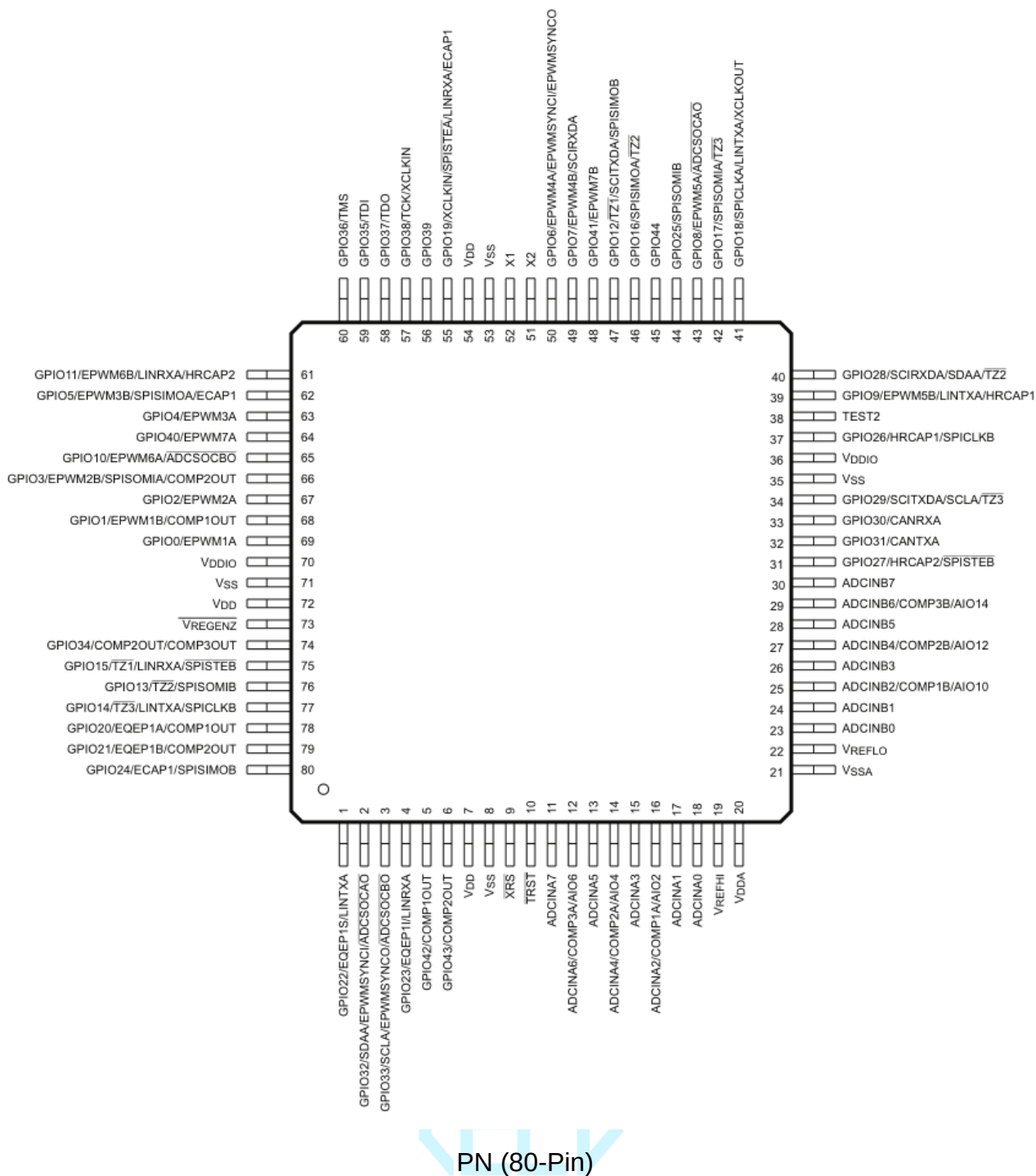
4.1 引脚图



RSH (56-Pin)



PAG(64-Pin)



PN (80-Pin)

4.2 引脚说明

终端				I/O/Z ⁽¹⁾	说明
名称	PN 引脚编号	PAG 引脚编号	RSH 引脚编号		
JTAG					
TCK	参阅 GPIO38			I	参阅 GPIO38。带有内部上拉电阻的 JTAG 测试时钟。(↑)
TMS	参阅 GPIO36			I	参阅 GPIO36。带有内部上拉电阻的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。(↑)
TDI	参阅 GPIO35			I	参阅 GPIO35。带有内部上拉电阻的 JTAG 测试数据输入 (TDI)。TDI 在 TCK 上升沿上的所选寄存器 (指令或数据) 中计时。(↑)
TDO	参阅 GPIO37			O/Z	参阅 GPIO37。JTAG 扫描输出，测试数据输出 (TDO)。所选寄存器 (指令或数据) 的内容在 TCK 下降沿从 TDO 移出。(8mA 驱动)
闪存					
TEST2	38	30	27	I/O	测试引脚。为 TI 保留。必须保持未连接状态。



名称	PN 引脚编号	PAG 引脚编号	RSH 引脚编号		
时钟					
XCLKOUT	参阅 GPIO18		-	O/Z	参阅 GPIO18。源自 SYSCLKOUT 的输出时钟。XCLKOUT 频率或者与 SYSCLKOUT 的频率相同，或者是后者的一半或四分之一。这通过 XCLK 寄存器中的位 1:0 (XCLKOUTDIV) 控制。复位时，XCLKOUT = SYSCLKOUT/4。通过将 XCLKOUTDIV 设定为 3，可关闭 XCLKOUT 信号。GPIO18 的多路复用器控制也必须设定为 XCLKOUT，才能使此信号传播到引脚。
终端				I/O/Z ⁽¹⁾	说明
XCLKIN	参阅 GPIO19 和 GPIO38			I	参阅 GPIO19 和 GPIO38。外部振荡器输入。时钟的引脚源由 XCLK 寄存器内的 XCLKINSEL 位控制，默认选择 GPIO38。此引脚馈送来自外部 3.3V 振荡器的时钟。在这种情况下，X1 引脚（如果可用）必须连接至 GND，而且必须通过 CLKCTL 寄存器内的位 14 禁用片上晶体振荡器。如果使用晶振/谐振器，必须通过 CLKCTL 寄存器内的位 13 禁用 XCLKIN 路径。 请注意：使用 GPIO38/TCK/XCLKIN 引脚提供外部时钟以使器件正常运行的设计可能需要集成一些挂钩，以便在使用 JTAG 连接器进行调试期间禁用此路径。这是为了防止 JTAG 调试会话期间被激活的 TCK 信号相互竞争。在此期间可使用零 引脚内部振荡器为器件计时。
X1	52	41	36	I	1.8V 片上晶体振荡器输入。若要使用此振荡器，必须在 X1 和 X2 之间连接一个石英晶振或陶瓷谐振器。在这种情况下，必须通过 CLKCTL 寄存器内的位 13 禁用 XCLKIN 路径。如果此引脚未使用，则必须将其连接至 GND。(I)
X2	51	40	35	O	片上晶体振荡器输出。必须在 X1 和 X2 之间连接一个石英晶振或陶瓷谐振器。如果 X2 未使用，必须使其保持未连接状态。(O)
复位					
XRS	9	7	5	I/O	器件复位（输入）和看门狗复位（输出）。这些器件内置上电复位 (POR) 电路和欠压复位 (BOR) 电路。在上电或欠压情况下，此引脚由器件驱动为低电平。外部电路也可能驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRS 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。应在 XRS 和 V _{DDIO} 之间放置一个阻值为 2.2k Ω 至 10k Ω 的电阻器。如果在 XRS 和 V _{SS} 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值将能让看门狗在 512 个 OSCCLK 周期内正确地将 XRS 引脚驱动至 V _{OL} 。任何源头的器 件复位都会导致器件终止执行。程序计数器指向位置 0x3F FFC0 包含的地址。当复位失效时，从程序计数器指定的位置开始执行。此引脚的输出缓冲器是一个具有内部上拉电阻的开漏器件。(†) 如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。
ADC、比较器、模拟 I/O					
ADCINA7	11	9	7	I	ADC 组 A，通道 7 输入
ADCINA6				I	ADC 组 A，通道 6 输入
COMP3A	12	10	8	I	比较器输入 3A
AIO6				I/O	数字 AIO 6
ADCINA5	13	-	-	I	ADC 组 A，通道 5 输入
ADCINA4				I	ADC 组 A，通道 4 输入
COMP2A	14	11	9	I	比较器输入 2A
AIO4				I/O	数字 AIO 4
ADCINA3	15	12	10	I	ADC 组 A，通道 3 输入
ADCINA2				I	ADC 组 A，通道 2 输入
COMP1A	16	13	11	I	比较器输入 1A
AIO2				I/O	数字 AIO 2

终端				I/O/Z ⁽¹⁾	说明
名称	PN 引脚编号	PAG 引脚编号	RSH 引脚编号		
ADCINA1	17	14	12	I	ADC 组A，通道 1 输入
ADCINA0	18	15	13	I	ADC 组A，通道 0 输入。 请注意：V _{REFHI} 和 ADCINA0 共用 64 引脚 PAG 器件上的同一引脚，并且它们不可同时使用。 请注意：V _{REFHI} 和 ADCINA0 共用 56 引脚 RSH 器件上的同一引脚，并且它们不可同时使用。
V _{REFHI}	19	15	13	I	ADC 外部基准高 - 仅在 ADC 外部基准模式下使用。 请注意：V _{REFHI} 和 ADCINA0 共用 64 引脚 PAG 器件上的同一引脚，并且它们不可同时使用。 请注意：V _{REFHI} 和 ADCINA0 共用 56 引脚 RSH 器件上的同一引脚，并且它们不可同时使用。
ADCINB7	30	24	21	I	ADC 组B，通道 7 输入
ADCINB6	29	23	20	I	ADC 组B，通道 6 输入
COMP3B				I	比较器输入 3B
AIO14				I/O	数字 AIO 14
ADCINB5	28	-	-	I	ADC 组B，通道 5 输入
ADCINB4	27	22	19	I	ADC 组B，通道 4 输入
COMP2B				I	比较器输入 2B
AIO12				I/O	数字 AIO12
ADCINB3	26	21	18	I	ADC 组B，通道 3 输入
ADCINB2	25	20	17	I	ADC 组B，通道 2 输入
COMP1B				I	比较器输入 1B
AIO10				I/O	数字 AIO 10
ADCINB1	24	19	16	I	ADC 组B，通道 1 输入
ADCINB0	23	18	-	I	ADC 组B，通道 0 输入
V _{REFLO}	22	17	15	I	ADC 外部基准低。 请注意：V _{REFLO} 始终连接至 64 引脚 PAG 器件和 56 引脚 RSH 器件上的 V _{SSA} 。
CPU 和 I/O 电源					
V _{DDA}	20	16	14		模拟电源引脚。在此引脚附近连接一个 2.2 μ F 电容器（典型值）。
V _{SSA}	21	17	15		模拟接地引脚。 请注意：V _{REFLO} 始终连接至 64 引脚 PAG 器件和 56 引脚 RSH 器件上的 V _{SSA} 。
V _{DD}	7	5	3		CPU 和逻辑数字电源引脚。使用内部 VREG 时，在每个 V _{DD} 引脚和接地端之间放置一个 1.2 μ F 电容器。可使用容值较高的电容器。
	54	43	38		
	72	59	52		
V _{DDIO}	36	29	26		数字 I/O 缓冲器和闪存电源引脚。启用 VREG 时使用单电源。在每个引脚上放置一个去耦电容器。确切值应由系统电压调节解决方案决定。
	70	57	50		
V _{SS}	8	6	4		数字接地引脚
	35	28	25		
	53	42	37		
	71	58	51		

终端				I/O/Z ⁽¹⁾	说明
名称	PN 引脚编号	PAG 引脚编号	RSH 引脚编号		
稳压器控制信号					
VREGENZ	73	60	53	I	具有内部下拉电阻的内部稳压器 (VREG) 使能。直接连接到 VSS (低) 以启用内部 1.8V VREG。直接连接到 VDDIO (高) 以禁用 VREG 并使用外部 1.8V 电源。
GPIO 和外设信号					
GPIO0 EPWM1A	69	56	49	I/O/Z O	通用输入/输出 0 增强型 PWM1 输出 A 和 HRPWM 通道
GPIO1 EPWM1B COMP1OUT	68	55	48	I/O/Z O O	通用输入/输出 1 增强型 PWM1 输出 B 比较器 1 的直接输出
GPIO2 EPWM2A	67	54	47	I/O/Z O	通用输入/输出 2 增强型 PWM2 输出 A 和 HRPWM 通道
GPIO3 EPWM2B SPISOMIA COMP2OUT	66	53	46	I/O/Z O I/O O	通用输入/输出 3 增强型 PWM2 输出 B SPI-A 从器件输出，主器件输入 比较器 2 的直接输出
GPIO4 EPWM3A	63	51	45	I/O/Z O	通用输入/输出 4 增强型 PWM3 输出 A 和 HRPWM 通道
GPIO5 EPWM3B SPISIMOA ECAP1	62	50	44	I/O/Z O I/O I/O	通用输入/输出 5 增强型 PWM3 输出 B SPI-A 从器件输入，主器件输出 增强型捕捉输入/输出 1
GPIO6 EPWM4A EPWMSYNCI EPWMSYNCO	50	39	34	I/O/Z O I O	通用输入/输出 6 增强型 PWM4 输出 A 和 HRPWM 通道 外部 ePWM 同步脉冲输入 外部 ePWM 同步脉冲输出
GPIO7 EPWM4B SCIRXDA	49	38	33	I/O/Z O I	通用输入/输出 7 增强型 PWM4 输出 B SCI-A 接收数据
GPIO8 EPWM5A ADCSOCAO	43	35		I/O/Z O O	通用输入/输出 8 增强型 PWM5 输出 A 和 HRPWM 通道 ADC 转换启动 A

终端				I/O/Z ⁽¹⁾	说明
名称	PN 引脚编号	PAG 引脚编号	RSH 引脚编号		
GPIO9 EPWM5B LINTXA HRCAP1	39	31		I/O/Z O O I	通用输入/输出 9 增强型 PWM5 输出 B LIN 发送 A 高分辨率输入捕捉 1
GPIO10 EPWM6A ADCSOCBO	65	52		I/O/Z O O	通用输入/输出 10 增强型 PWM6 输出 A 和 HRPWM 通道 ADC 转换启动 B
GPIO11 EPWM6B LINRXA HRCAP2	61	49		I/O/Z O I I	通用输入/输出 11 增强型 PWM6 输出 B LIN 接收 A 高分辨率输入捕捉 2
GPIO12 TZ1 SCITXDA SPISIMOB	47	37	32	I/O/Z I O I/O	通用输入/输出 12 跳闸区输入 1 SCI-A 发送数据 SPI-B 从器件输入·主器件输出 请注意：SPI-B 仅在 PN 封装中可用。
GPIO13 TZ2 SPISOMIB	76	-	-	I/O/Z I I/O	通用输入/输出 13 跳闸区输入 2 SPI-B 从器件输出·主器件输入
GPIO14 TZ3 LINTXA SPICLKB	77	-	-	I/O/Z I O I/O	通用输入/输出 14 跳闸区输入 3 LIN 发送 SPI-B 时钟输入/输出
GPIO15 TZ1 LINRXA SPISTEB	75	-	-	I/O/Z I I I/O	通用输入/输出 15 跳闸区输入 1 LIN 接收 SPI-B 从器件发送使能输入/输出
GPIO16 SPISIMOA Z2	46	36	31	I/O/Z I/O I	通用输入/输出 16 SPI-A 从器件输入·主器件输出 跳闸区输入 2
GPIO17 SPISOMIA Z3	42	34	30	I/O/Z I/O I	通用输入/输出 17 SPI-A 从器件输出·主器件输入 跳闸区输入 3

终端				I/O/Z ⁽¹⁾	说明
名称	PN 引脚编号	PAG 引脚编号	RSH 引脚编号		
GPIO18 SPICLK_A LINTXA XCLKOUT	41	33	29	I/O/Z I/O O O/Z	通用输入/输出 18 SPI-A 时钟输入/输出 LIN 发送 源自 SYSCLKOUT 的输出时钟。XCLKOUT 频率或者与 SYSCLKOUT 的频率相同，或者是后者的一半或四分之一。这通过 XCLK 寄存器中的位 1:0 (XCLKOUTDIV) 控制。复位时，XCLKOUT = SYSCLKOUT/4。通过将 XCLKOUTDIV 设定为 3，可关闭 XCLKOUT 信号。GPIO18 的多路复用器控制也必须设定为 XCLKOUT，才能使此信号传播到引脚。
GPIO19 XCLKIN SPISTEA LINRXA ECAP1	55	44	9 ³	I/O/Z I/O I I/O	通用输入/输出 19 外部振荡器输入。此引脚到时钟块的路径不受此引脚多路复用功能的控制。如果此路径用于其他外设功能，必须注意不要启用此路径来计时。 SPI-A 从器件发送使能输入/输出 LIN 接收 增强型捕捉输入/输出 1
GPIO20 EQEP1A COMP1OUT	78	62	55	I/O/Z I O	通用输入/输出 20 增强型 QEP1 输入 A 比较器 1 的直接输出
GPIO21 EQEP1B COMP2OUT	79	63	56	I/O/Z I O	通用输入/输出 21 增强型 QEP1 输入 B 比较器 2 的直接输出
GPIO22 EQEP1S LINTXA	1	1	1	I/O/Z I/O O	通用输入/输出 22 增强型 QEP1 选通 LIN 发送
GPIO23 EQEP1I LINRXA	4	4	2	I/O/Z I/O I	通用输入/输出 23 增强型 QEP1 索引 LIN 接收
GPIO24 ECAP1 SPISIMOB	80	64		I/O/Z I/O I/O	通用输入/输出 24 增强型捕捉输入/输出 1 SPI-B 从器件输入：主器件输出 请注意：SPI-B 仅在 PN 和 RSH 封装中可用。
GPIO25 SPISOMIB	44			I/O/Z I/O	通用输入/输出 25 SPI-B 从器件输出：主器件输入

终端				I/O/Z ⁽¹⁾	说明
名称	PN 引脚编号	PAG 引脚编号	RSH 引脚编号		
GPIO26 HRCAP1 SPICLK _B	37			I/O/Z I I/O	通用输入/输出 26 高分辨率输入捕捉 1 SPI-B 时钟输入/输出
GPIO27 HRCAP2 SPISTEB	31			I/O/Z I I/O	通用输入/输出 27 高分辨率输入捕捉 2 SPI-B 从器件发送使能输入/输出
GPIO28 SCIRXDA SDAA _____ Z2	40	32	28	I/O/Z I I/OD I	通用输入/输出 28 SCI 接收数据 I2C 数据开漏双向端口 跳闸区输入 2
GPIO29 SCITXDA SCLA _____ Z3	34	27	24	I/O/Z O I/OD I	通用输入/输出 29 SCI 发送数据 I2C 时钟开漏双向端口 跳闸区输入 3
GPIO30 CANRXA	33	26	23	I/O/Z I	通用输入/输出 30 CAN 接收
GPIO31 CANTXA	32	25	22	I/O/Z O	通用输入/输出 31 CAN 发送
GPIO32 SDAA EPWMSYNCl ADCSOCA _O	2	2	-	I/O/Z I/OD I O	通用输入/输出 32 I2C 数据开漏双向端口 增强型 PWM 外部同步脉冲输入 ADC 转换启动 A
GPIO33 SCLA EPWMSYNCO ADCSOCB _O	3	3		I/O/Z I/OD O O	通用输入/输出 33 I2C 时钟开漏双向端口 增强型 PWM 外部同步脉冲输出 ADC 转换启动 B
GPIO34 COMP2OUT COMP3OUT	74	61	54	I/O/Z O O	通用输入/输出 34 比较器 2 的直接输出 比较器 3 的直接输出
GPIO35 TDI	59	47	42	I/O/Z I	通用输入/输出 35 带有内部上拉电阻的 JTAG 测试数据输入 (TDI)。TDI 在 TCK 上升沿上的所选寄存器 (指令或数据) 中计时
GPIO36 TMS	60	48	43	I/O/Z I	通用输入/输出 36 带有内部上拉电阻的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。

终端				I/O/Z ⁽¹⁾	说明
名称	PN 引脚编号	PAG 引脚编号	RSH 引脚编号		
GPIO37 TDO	58	46	41	I/O/Z O/Z	通用输入/输出 37 JTAG 扫描输出·测试数据输出 (TDO)。所选寄存器 (指令或数据) 的内容在 TCK 下降沿从 TDO 移出 (8mA 驱动)
GPIO38 TCK XCLKIN	57	45	40	I/O/Z I I	通用输入/输出 38 带有内部上拉电阻的 JTAG 测试时钟 外部振荡器输入。此引脚到时钟块的路径不受此引脚多路复用功能的控制。如果此路径用于其他功能·必须注意不要启用此路径来计时。
GPIO39	56			I/O/Z	通用输入/输出 39
GPIO40 EPWM7A	64			I/O/Z O	通用输入/输出 40 增强型 PWM7 输出 A 和 HRPWM 通道
GPIO41 EPWM7B	48			I/O/Z O	通用输入/输出 41 增强型 PWM7 输出 B
GPIO42 COMP1OUT	5			I/O/Z O	通用输入/输出 42 比较器 1 的直接输出
GPIO43 COMP2OUT	6			I/O/Z O	通用输入/输出 43 比较器 2 的直接输出
GPIO44	45			I/O/Z	通用输入/输出 44

(1) I = 输入·O = 输出·Z = 高阻抗·OD = 开漏·↑ = 上拉·↓ = 下拉



4.3 GPIO

4.3.1 GPIO 复用引脚表

表4-3

GPAMUX1	0	1	2	3
1-0	GPIO0	EPWM1A	QSPIA_D2	
3-2	GPIO1	EPWM1B	QSPIA_D3	COMP1OUT (0)/OUTPUTBAR0
5-4	GPIO2	EPWM2A	QSPIA_D2	
7-6	GPIO3	EPWM2B	SPISOMIA (QSPIA_D1)	COMP2OUT (0)/OUTPUTBAR1
9-8	GPIO4	EPWM3A	QSPIA_D3	
11-10	GPIO5	EPWM3B	SPISIMOA (QSPIA_D0)	ECAP1 (I/O)/OUTPUTBAR7
13-12	GPIO6	EPWM4A	EPWMSYNCI (bar_in)	EPWMSYNCO (0)/OUTPUTBAR6
15-14	GPIO7	EPWM4B	SCIRXDA	
17-16	GPIO8	EPWM5A	QSPIB_D2	ADCSOCA0
19-18	GPIO9	EPWM5B	LINTXA (0)	HRCAP1 (I) (bar_in)
21-20	GPIO10	EPWM6A	QSPIB_D3	ADCSOCB0
23-22	GPIO11	EPWM6B	LINRXA (I)	HRCAP2 (I) (bar_in)
25-24	GPIO12	TZ1 (I) (bar_in)	SCITXDA (0)	SPISIMOB (QSPIB_D0)
27-26	GPIO13	OUTPUTBAR4	OUTPUTBAR5	SPISOMIB (QSPIB_D1)
29-28	GPIO14	TZ2 (I) (bar_in)	LINTXA (0)	SPICLKB (I/O)
31-30	GPIO15	TZ1 (I) (bar_in)	LINRXA (I)	SPISTEB (I/O)
GPAMUX2	0	1	2	3
1-0	GPIO16	SPISIMOA (QSPIA_D0)		TZ2 (I)
3-2	GPIO17	SPISOMIA (QSPIA_D1)		TZ3 (I)
5-4	GPIO18	SPICLKA (I/O)	LINTXA (0)	XCLKOUT (0)
7-6	GPIO19	SPISTEA (I/O)	LINRXA (I)	ECAP1 (I/O) (bar_in)
9-8	GPIO20	EQEP1A (I)	QSPIB_D2	COMP1OUT (0)/OUTPUTBAR0
11-10	GPIO21	EQEP1B (I)	QSPIB_D3	COMP2OUT (0)/OUTPUTBAR1
13-12	GPIO22	EQEP1S (I/O)		LINTXA (0)
15-14	GPIO23	EQEP1I (I/O)		LINRXA (I)
17-16	GPIO24	ECAP1 (I/O)/OUTPUTBAR7		SPISIMOB (QSPIB_D0)
19-18	GPIO25	CAN_STBY		SPISOMIB (QSPIB_D1)
21-20	GPIO26	HRCAP1 (I) (bar_in)		SPICLKB (I/O)
23-22	GPIO27	HRCAP2 (I) (bar_in)		SPISTEB (I/O)
25-24	GPIO28	SCIRXDA (I)	SDAA (I/OC)	TZ2 (I) (bar_in)
27-26	GPIO29	SCITXDA (0)	SCLA (I/OC)	TZ3 (I) (bar_in)
29-28	GPIO30	CANRXA (I)		
31-30	GPIO31	CANTXA (0)		

GPBMUX1				
1-0	GPI032	SDAA (I/OC)	EPWMSYNCI (I) (bar_in)	ADCSOCA0
3-2	GPI033	SCLA (I/OC)	EPWMSYNCO	ADCSOCB0
5-4	GPI034	COMP2OUT (O)/OUTPUTBAR1		COMP3OUT (O)/OUTPUTBAR3
7-6	GPI035 (TDI)			
9-8	GPI036 (TMS)			
11-10	GPI037 (TDO)			
13-12	GPI038/XCLKIN (TCK)			
15-14	GPI039			
17-16	GPI040	EPWM7A (O)		
19-18	GPI041	EPWM7B (O)		
21-20	GPI042			COMP1OUT (O)/OUTPUTBAR0
23-22	GPI043			COMP2OUT (O)/OUTPUTBAR1
25-24	GPI044			

4.3.2 ADC 引脚上的数字输入 (AIO)

AIO00~AIO15。这些引脚将使用为模拟引脚功能，同时 GPIO 为高阻状态。当作为数字用时只能作为普通的 GPIO 用。用 GPHAMSEL 寄存器被用来配置这些引脚的数字或模拟操作。

注：若将带尖锐边沿（高 dv/dt ）的数字信号连接到 AIO，则相邻的模拟信号可能发生串扰。因此，如果相邻通道用于模拟功能，则用户应限制连接到 AIO 的信号的边沿速率。



4.3.3 GPIO 输入 X-BAR

输入 X-BAR 用于将信号从 GPIO 路由到许多不同的 IP 块，如 ADC、eCAP、ePWM 和外部中断（见图 4-1）。表 4-4 列举了输入 X-BAR 目的。更多有关输入 X-BAR 的详细配置，请参见《QXS320F28034参考手册》的交叉开关（X-BAR）章节。

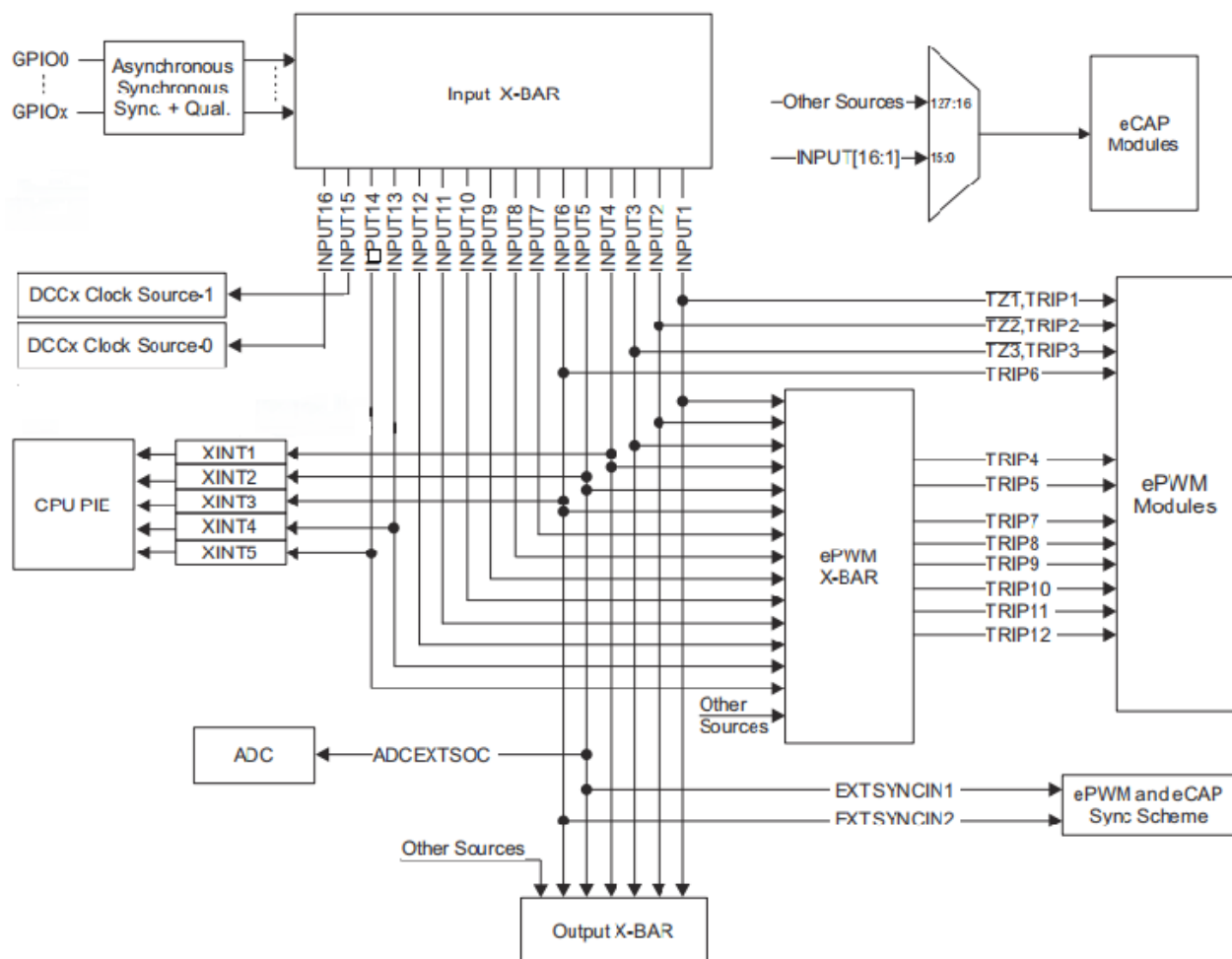


图 4-1.输入 X-BAR

表 4-4.输入 X-BAR 目标模块

输入	目标
INPUT 1	eCAPx、ePWM X-BAR、ePWM[TZ1,TRIP1]、输出 X-BAR
INPUT 2	eCAPx、ePWM X-BAR、ePWM[TZ2,TRIP2]、输出 X-BAR
INPUT 3	eCAPx、ePWM X-BAR、ePWM[TZ3,TRIP3]、输出 X-BAR
INPUT 4	eCAPx、ePWM X-BAR、XINT1、输出 X-BAR
INPUT 5	eCAPx、ePWM X-BAR、XINT2、ADCEXTSOC、EXTSYNCIN1、输出 X-BAR
INPUT 6	eCAPx、ePWM X-BAR、XINT3、ePWM[TRIP6]、EXTSYNCIN2、输出 X-BAR
INPUT 7	eCAPx、ePWM X-BAR
INPUT 8	eCAPx、ePWM X-BAR
INPUT 9	eCAPx、ePWM X-BAR
INPUT 10	eCAPx、ePWM X-BAR
INPUT 11	eCAPx、ePWM X-BAR
INPUT 12	eCAPx、ePWM X-BAR
INPUT 13	eCAPx、ePWM X-BAR、XINT4
INPUT 14	eCAPx、ePWM X-BAR、XINT5
INPUT15	eCAPx
INPUT16	eCAPx



4.3.4 GPIO 输出 X-BAR 和 ePWM X-BAR

输出 X-BAR 具有八个路由到 GPIO 模块的输出。ePWM X-BAR 具有八个路由到每个 ePWM 模块 的输出。图 4-2 显示了输出 X-BAR 和 ePWM X-BAR 的架构。有关输出 X-BAR 和 ePWM X-BAR 的详细信息，请参阅《QXS320F28034参考手册》的交叉开关（X-BAR）章节。

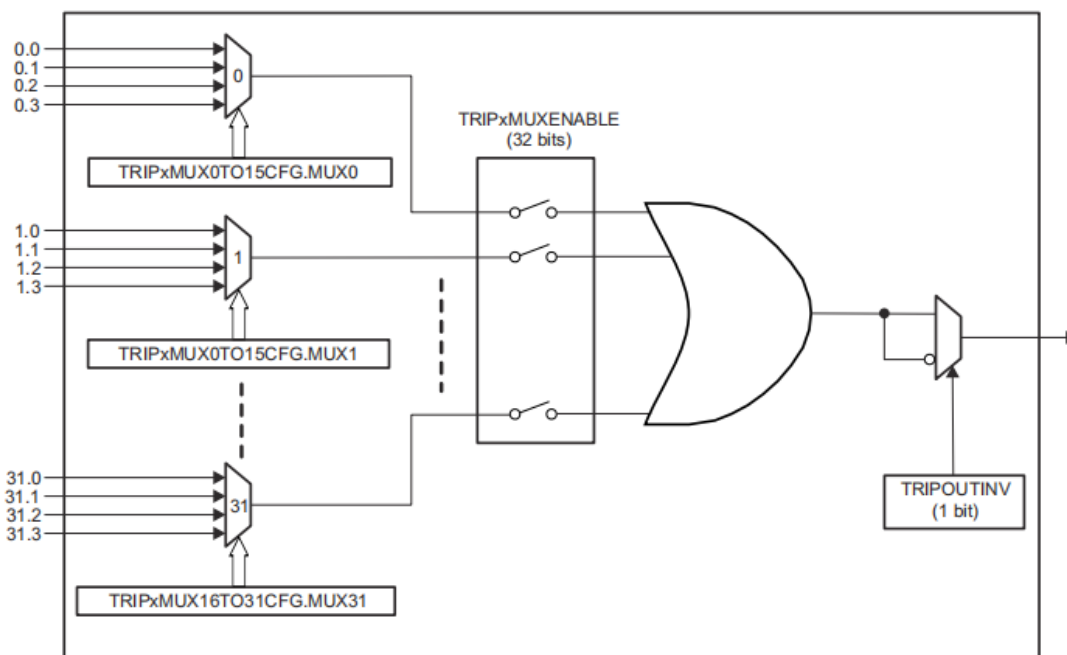


图 4-2.1 输出 ePWM X-BAR 的架构

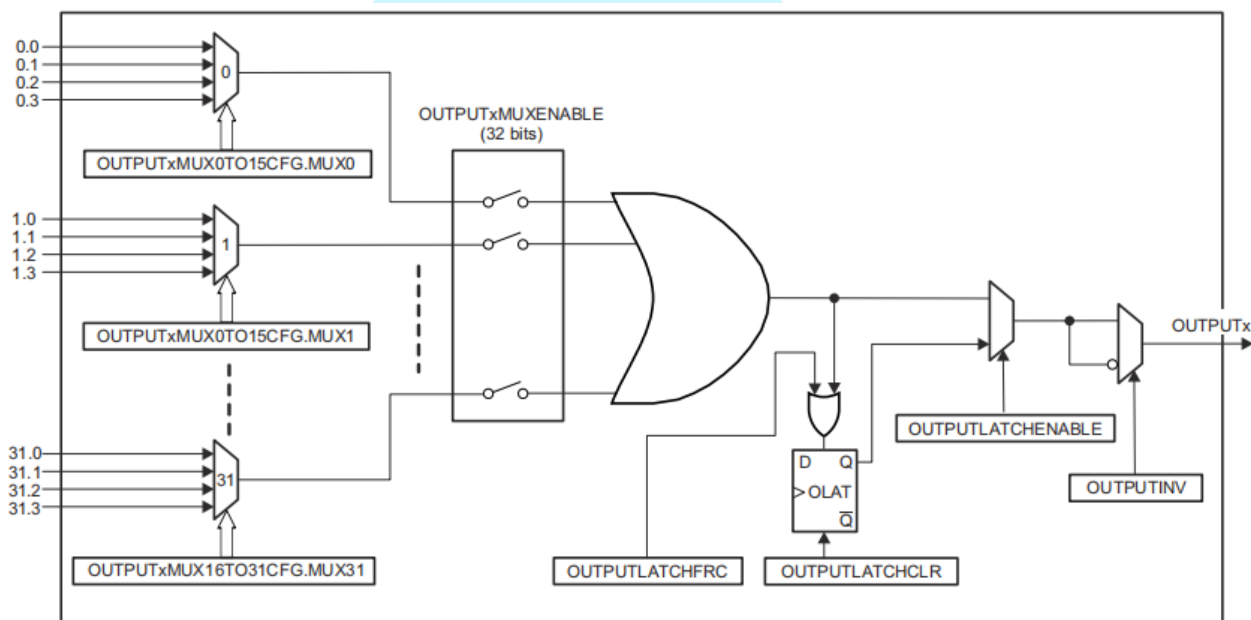


图 4-2.2 输出 GPIO Output X-BAR 的架构

4.4 GPIO 引脚内部上拉/下拉

QXS320F28034 上的一些引脚有内部上拉或下拉功能。表 5-1 列举了使用时的上拉下拉方向。

默认GPIO 引脚上拉是关闭的，可以通过软件启用。为避免任何悬空的未键合输入，Boot ROM将特 定封装中未键合的GPIO 引脚启用内部上拉。表 5-1 的其他引脚的上拉与下拉总是打开的，并且不能被禁用。

表 4-5.带有内部上拉和下拉的引脚

引脚	复位 (XRSn = 0)	器件引导	应用
GPIOx (包括 AIO)	禁用上拉	禁用上拉 ⁽¹⁾	应用定义
GPIO35/TDI	禁用上拉		应用定义
GPIO37/TDO	禁用上拉		应用定义
VREGENZ	下拉有效		
其他引脚	上拉或下拉未存在		

(1) 给定封装中未绑定的引脚将具有由引导 ROM 启用内部上拉。



5 规格

5.1 绝对最大值范围

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电源电压	相对于 V_{SS} 的 V_{DDIO} (I/O 和闪存)	2.97	3.63	V
	相对于 V_{SS} 的 V_{DD}	1.08	1.32	
模拟电压	相对于 V_{SSA} 的 V_{DDA}	2.97	3.63	V
输入电压	V_{IN} (3.3V)	2.97	3.63	V
	V_{IN} (X1)	2.97	3.63	
输出电压	V_O	2.97	3.63	V
输入钳位电流	数字/模拟输入 (每引脚) $\cdot I_{IK}$ ($V_{IN} < V_{SS}$ 或 $V_{IN} > V_{DDIO}$) ⁽³⁾	-10	10	mA
	模拟输入 (每引脚) $\cdot I_{IKANALOG}$ ($V_{IN} < V_{SSA}$ 或 $V_{IN} > V_{DDA}$)	-10	10	
	所有输入的总计 $\cdot I_{IKTOTAL}$ ($V_{IN} < V_{SS}/V_{SSA}$ 或 $V_{IN} > V_{DDIO}/V_{DDA}$)	-10	10	
输出钳位电流	I_{OK} ($V_O < 0$ 或 $V_O > V_{DDIO}$)	2.5	10	mA
结温	T_J	-40	125	°C
贮存温度 ⁽⁴⁾	T_{stg}	-40	125	°C

表 5-1.绝对最大值范围

(1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些仅为应力额定值，并不表明器件在这些额定值下或者任何其它超过节 6.4所述条件下可正常工作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 除非另有说明，所有电压值均相对于 V_{SS} 。

(3) 每引脚持续钳位电流为 $\pm 2mA$ 。请勿在此条件下持续运行，因为 V_{DDIO}/V_{DDA} 电压可能会在内部上升并影响其他电气规格。

(4) 长期高温贮存或在最大温度条件下超期使用可能会导致器件总体使用寿命缩短。更多信息，请参阅半导体和IC 封装热指标、计算嵌入式 处理器的有效使用寿命和计算任务剖面的FIT。

5.2 产品 ESD 范围

表 5-2.商用产品的 ESD 范围

		值	单位
采用 80 引脚 PN 封装的TMS320F2803x			
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 或 ANSI/ ESDA/JEDEC JS-002 ⁽²⁾	±500	
采用 64 引脚 PAG 封装的TMS320F2803x			
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 或 ANSI/ ESDA/JEDEC JS-002 ⁽²⁾	±500	
采用 56 引脚 RSH 封装的TMS320F2803x			
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 或 ANSI/ ESDA/JEDEC JS-002 ⁽²⁾	±500	

- (1) JEDEC 文件 JEP155 指出: 500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出: 250V CDM 可实现在标准 ESD 控制流程下安全生产。

5.3 推荐工作条件

表 5-3.推荐工作条件

		最小值	标称值	最大值	单位
器件电源电压, I/O, V_{DDIO}		2.97	3.3	3.63	V
器件电源电压 CPU, V_{DD} (当内部 VREG 禁用并且由 1.2V 电源外部供电时)		1.08	1.2	1.32	V
电源接地, V_{SS}			0		V
模拟电源电压, V_{DDA}		2.97	3.3	3.63	V
模拟接地, V_{SSA}			0		V
器件时钟频率 (系统时钟)		0		120	MHz
高电平输入电压, $V_{IH}(3.3V)$		2		$V_{DDIO}+0.3$	V
低电平输入电压, $V_{IL}(3.3V)$		$V_{SS}-0.3$		0.8	V
高电平输出源电流, $V_{OH}=V_{OH}$ (最小值), I_{OH}	所有 GPIO/AIO 引脚		2.5		mA
	组 2 ⁽¹⁾		10		mA
低电平输出灌电流, $V_{OL}=V_{OL}$ (最大值), I_{OL}	所有 GPIO/AIO 引脚		2.5		mA
	组 2 ⁽¹⁾		10		mA
环境温度, T_A	T 版本	-40		125	°C
	S 版本	-40		125	
	Q 版本 (AEC Q100 认证)	-40		125	
结温, T_J		-40		125	°C

(1) 组 2 引脚如下所示: GPIO16、GPIO17、GPIO18、GPIO19、GPIO28、GPIO29、GPIO36、GPIO37

5.4 耗电概述

本节中列出的电流值仅代表给定的测试条件，而不是绝对的最大的可能。应用程序中的实际设备电流将随应用程序代码和引脚而变化配置。第 5.4.1 节列出了系统电流消耗值。

5.4.1 系统电流消耗（外部电源）

在自然通风条件下的工作温度范围内测得（除非另有说明）。

典型值：Vnom，30℃

表 5- 4.系统电流消耗

参数		测试条件	最小值	典型值	最大值	单位
空闲模式（IDLE）						
I _{ID}	设备处于空闲模式时的 VDD 电流消耗(1)	-CPU 处于IDLE 模式 -XCLKOUT 关闭		32	40	mA
I _{DDA}	设备处于空闲模式下的 VDDA 电流消耗			0.9	1.2	mA
停机模式（HALT）						
I _{ID}	设备处于停机模式时的 VDD 电流消耗(1)	-CPU 处于停机模式 -XCLKOUT 关闭		3	20	mA
I _{DDA}	设备处于停机模式下的 VDDA 电流消耗			0.2	0.5	mA

(1) IDD 最大值是在 VDD 处于最大建议工作条件下报告的值。对于内部 VREG 和直流/直流稳压器表，该 VDD电源将处于稳定的 VDD 典型值电压。因此，与内部 VREG 和直流/直流稳压器表相比，此外部电源表中报告的电流值将更高。

5.4.2 工作模式测试描述

第 5.4.1 节，第 5.4.2 节和第 5.4.3 节列出了设备运行模式的当前电流消耗值。运行模式提供了应用程序可能遇到情况的预测。为实现所示值运行的测试用例将循环执行以下操作。以下列表中未列出的外设已禁用其时钟：

- 代码从 RAM 中执行。
- 读取 FLASH 并保持激活状态。
- I/O 引脚不驱动任何外部组件。
- CPU 计时器激活。
- CPU 进行 FIR16 计算。
- DMA 进行连续 32 位传输。
- 所有 ADC 执行连续转换。
- 所有 DAC 都在环路频率约为 11kHz 时改变电压。
- 所有 CMPSS 都会生成频率为 100kHz 的方波。
- eCAP-1处于 APWM 模式，切换频率为 250kHz。
- 启用所有 eQEP 看门狗并执行计数。
- 启用系统看门狗并执行计数。

注：该电流消耗值为实验室测得，仅供参考。



5.4.4 减少电流消耗

- QXS320F28034设备提供了一些降低设备电流消耗的方法：
- 为进一步降低应用在空闲期间的电流消耗，可以进入两种低功耗模式之一 — IDLE 或 STANDBY。
 - 如果代码从 RAM 中运行，闪存模块可能会断电。
 - 禁用输出功能引脚的上拉。
 - 每个外设都有一个单独的时钟使能位(PCLKCRx)。减少电流消耗可通过关闭给定应用程序中不使用的任何外设的时钟来实现。典型的电流减少可以通过使用 PCLKCRx 寄存器禁用时钟来实现。
 - 要在 LPM 中实现最低的 VDDA 电流消耗，请参阅《QXS320F28034参考手册》模数转换器 (ADC)章节，以确保每个模块也被关闭。

表 5- 5. 外设关闭典型电流

外设	I _{DDIO} 电流减少 (mA)
ADC	0.8
CAN	1.1
CMPSS	0.4
CPU Timer	0.1
DMA	0.5
eCAP1 至 eCAP3	0.1
ePWM	0.7
eQEP	0.1
HRPWM	0.8
I2C	0.3
LIN	0.4
SCI	0.2
SPI	0.2
DCC	0.1
100MHz 时的 PLL	22.9

注：该电流消耗值为实验室测得，仅供参考

5.5 电气特性

在推荐的运行条件下（除非另有说明）⁽¹⁾

表 5-6.电气特性

参数		测试条件		最小值	典型值	最大值	单位
V _{OH} 高电平输出电压				VDDIO-0.2			V
V _{OL} 低电平输出电压				0.4			V
I _{IL} 输入电流 (低电平)	启用上拉的引脚	V _{DDIO} =3.3V · V _{IN} =0V	所有 GPIO	-150			μ A
	XRS 引脚		-150				
	启用下拉的引脚	V _{DDIO} =3.3V · V _{IN} =0V		±2			
I _{IH} 输入电流 (高电平)	启用上拉的引脚	V _{DDIO} =3.3V · V _{IN} =V _{DDIO}		±2			μ A
	启用下拉的引脚	V _{DDIO} =3.3V · V _{IN} =V _{DDIO}		150			
I _{OZ} 输出电流，上拉电阻器或者下拉电阻器被禁用	V _O = V _{DDIO} 或0V		±2			μ A	
C _I 输入电容			1.6			pF	
V _{DDIO} BOR 触发点		下降的 V _{DDIO}		2			V
V _{DDIO} BOR 滞后				200			mV
VREG V _{DD} 输出		内部 VREG 打开		1.2			V

(1) 当片上 VREG 被使用时，它的输出由 POR/BOR 电路监控，如果内核电压 (VDD) 超出范围，此电路将复位器件。

5.6 热阻特征

5.6.1 PN 封装的热阻特性

		°C/W	气流 (lfm)
$R_{\theta JC}$	结至外壳热阻	14.2	不适用
$R_{\theta JB}$	结至电路板热阻	21.9	不适用
$R_{\theta JA}$ (高 k PCB)	结至大气热阻	49.9	0
		38.3	150
		36.7	250
		34.4	500
Ψ_{SiJT}	结至封装顶部	0.8	0
		1.18	150
		1.34	250
		1.62	500
Ψ_{SiJB}	结至电路板	21.6	0
		20.7	150
		20.5	250
		20.1	500

5.6.2 PGA 封装的热阻特性

		°C/W	气流 (lfm)
$R_{\theta JC}$	结至外壳热阻	7.6	不适用
$R_{\theta JB}$	结至电路板热阻	31.3	不适用
$R_{\theta JA}$ (高 k PCB)	结至大气热阻	56.5	0
		44.7	150
		42.9	250
		40.3	500
Ψ_{JT}	结至封装顶部	0.15	0
		0.42	150
		0.51	250
		0.67	500
Ψ_{JB}	结至电路板	31.1	0
		29.7	150
		29.2	250
		28.4	500

表 5- 8.PGA 封装的热阻特性

5.6.3 RSH 封装的热阻特性

		°C/W ⁽¹⁾	气流 (lfm) ⁽²⁾
$R_{\theta JC}$	结至外壳热阻	14.7	不适用
$R_{\theta JB}$	结至电路板热阻	9.2	不适用
$R_{\theta JA}$ (高 k PCB)	结至大气热阻	34.8	0
		23.6	150
		22.3	250
		20.5	500
Ψ_{JT}	结至封装顶部	0.24	0
		0.36	150
		0.43	250
		0.56	500
Ψ_{JB}	结至电路板	9.2	0
		8.8	150
		8.9	250
		8.8	500

表 5- 9.RSH 封装的热阻特性

5.7 散热设计注意事项

根据最终应用设计和运行情况，IDD 和 IDDIO 电流可能有所不同。最终产品中超过建议最大功率耗散的系统可能需要额外的散热增强措施。环境温度 (TA) 随最终应用和产品设计的不同而不同。影响可靠性和功能性的关键参数是结温 TJ，而不是环境温度。因此，应该注意将 TJ 保持在指定限值内。应该测量 Tcase 以评估运行结温 TJ。通常在封装顶部表面的中心测量 Tcase。热应用报告半导体和IC 封装热指标可帮助您了解各项热指标和相关定义。

5.8 模拟外设

本节介绍了模拟子系统模块。

设备的模拟模块包括 ADC、温度传感器、DAC 和 CMPSS。

模拟子系统具有如下特点：

- 灵活的电压参考
 - ADC 参考 VREFH_x 和 VREFLO_x 引脚
- VREFH_x 引脚电压可由外部驱动或由内部带隙电压基准生成。
- 内部电压基准范围可选为 0V 至 3.3V 或 0V 至 2.5V。
- 缓冲 DAC 以 VREFH_x 和 VREFLO_x 为基准。
 - 或者，这些 DAC 可以以 VDAC 引脚和 VSSA 为基准。
- 比较器 DAC 参考 VDDA 和 VSSA
 - 或者，这些 DAC 能参考 VDAC 和 VSSA 引脚。
- 灵活的引脚使用
 - 缓冲 DAC 输出、比较器子系统输入、与 ADC 输入进行多路复用
 - 内部连接到所有 ADC 上的 VREFLO，用于偏移量自校准

5.8.1 模数转换器（ADC）

ADC 模块是一个分辨率为 12 位的逐次逼近(SAR)型 ADC。ADC由一个核心和一个封装器组成。核心由模拟电路组成，包括通道选择MUX、采样保持（S/H）电路、逐次逼近电路、电压参考电路和其他模拟支持电路。包装器由配置和控制ADC的数字电路组成。这些电路包括用于可编程转换的逻辑、结果寄存器、与模拟电路的接口、与外围总线的接口、后处理电路以及其他片上模块的接口。

每个ADC模块由一个采样保持（S/H）电路组成。ADC模块设计为在同一芯片上多次复制，允许多个ADC同时采样或独立操作。

每个 ADC 有如下特点:

- 12 位分辨率
- 外部参考比例通过 VREFHI/VREFLO 配置;
- 内部可选参考为 1.65V,2.5V或者3.3V;
- 单端输入和差分输入;
- 最大支持 16 通道输入复用;
- 20个可配置 SOC;
- 20 个可单独寻址的结果寄存器;
- 多个触发源:
 - S/W: 软件立即启动
 - 所有ePWM: ADCSOC A 或 B
 - GPIO XINT2
 - CPU Timers 0/1/2
- 九个灵活的PIE中断

ADC 内核和 ADC 封装器的方框图如图 5-2 所示。

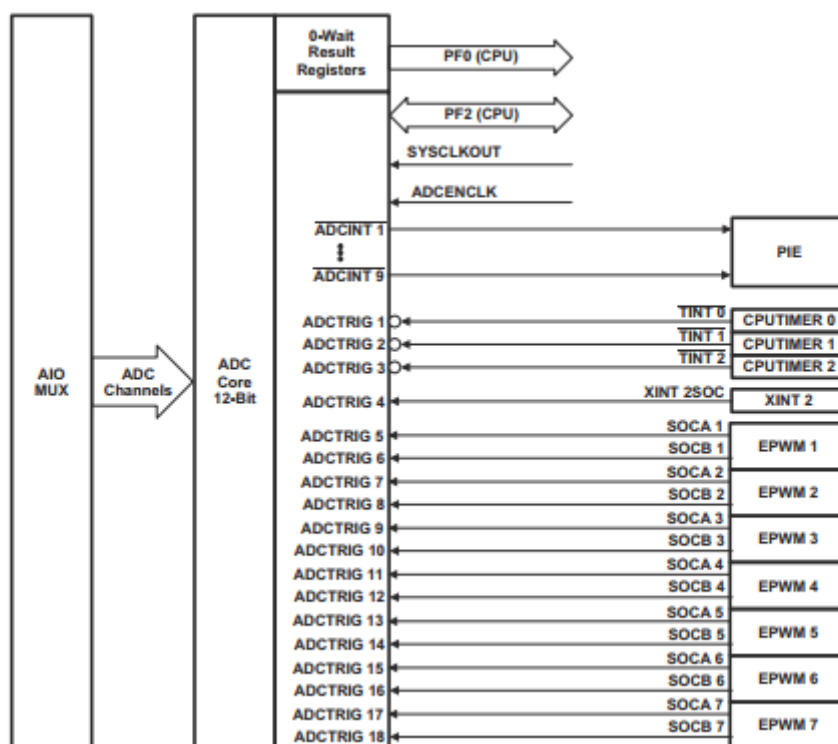


图 5-2 ADC 模块方框图

5.8.1.1 结果寄存器映射

系统中每个存储器总线控制器的 ADC 结果和 ADC 结果是相同的。总线控制器包括特定器件系列和器件型号上的 CPU 和 DMA。对于每个总线控制器，无需进行访问配置即可读取结果寄存器，并且在多个总线控制器尝试同时读取 ADC 结果时不会发生冲突。

5.8.1.2 ADC 配置

ADC模块的通道选择、采样时间和触发源是由SOCx单独控制，其他配置由每个ADC模块全局控制。表 5-13总结了ADC所有可配置的选项。

表 5-12 ADC配置选项

选项	可配置性
Clock	每个模块
Resolution	不可配置（仅限 12 位）
Signal mode	每个模块
Reference voltage source	每个模块（外部或内部）
Trigger source	每个 SOC
Converted channel	每个 SOC
Acquisition window duration	每个 SOC
EOC location	每个模块
Burst Mode	每个模块

（1）这些值写入不同的ADC模块可能会导致ADC运行异步。有关ADC何时同步或异步操作的指导，

注：请参阅《QXS320F28034参考手册》模数转换器(ADC)章节的确保同步操作部分。

5.8.1.3 ADC 电气数据与时序

表 5-14 列举了ADC 工作条件。表 5-15 列举了 ADC 电气特性。

5.8.1.3.1 ADC工作条件

注：

(1)ADC输入应在工作期间保持低于VDDA+0.3V。若ADC输入超过该值，设备的内部参考VREF将会受到干扰，将影响使用相同VREF的其他ADC或DAC输入的结果。

(2) VREFHI引脚必须保持低于 VDDA+0.3V， 以确保常工作。若VREFHI超过该值，阻塞电路将激活，VREFHI的内部值可能浮动到 0V，将导致不正确的ADC转换或者DAC输出。

在自然通风条件下的工作温度范围内测得（除非另作说明）

表 5-13.ADC 工作条件

ADCCLK（源自 PERx.SYSCLK）	F2800137	5	60	MHz	
采样率	120MHzSYSCLK F2800137	1	4	每秒百万次采样 (MSPS)	
采样窗口持续时间（由 ACQPS 和 PERx.SYSCLK设置）（	具有 50Ω 或更小的 Rs	100		ns	
	内部 VREFLO 连接	100			
VREFHI	外部基准	2.4	2.5或3	VDDA	V
VREFHI	内部基准电压 = 3.3V 范围	1.65			V
	内部基准电压 = 2.5V 范围	2.5			V
VREFHI		VDDA	VDDA	VDDA	V
VREFLO		VSSA	VSSA		V
VREFHI - VREFLO		2.4	VDDA		V
转换范围	内部基准电压 = 3.3V 范围	0	3.3		V
	内部基准电压 = 2.5V 范围	0	3.5		
	外部基准	VREFLO	VREFH		
	封装 = 32QFN	0	VDDA		

- (1) 该采样窗口必须至少达到正常ADC操作的1个ADCCLK周期长度；
- (2) 内部参考模式，设备VREFHI引脚由参考电压驱动。用户在该模式时不应使用引脚驱动。

5.8.1.3.2 ADC 特性

在自然通风条件下的工作温度范围内测得（除非另作说明）

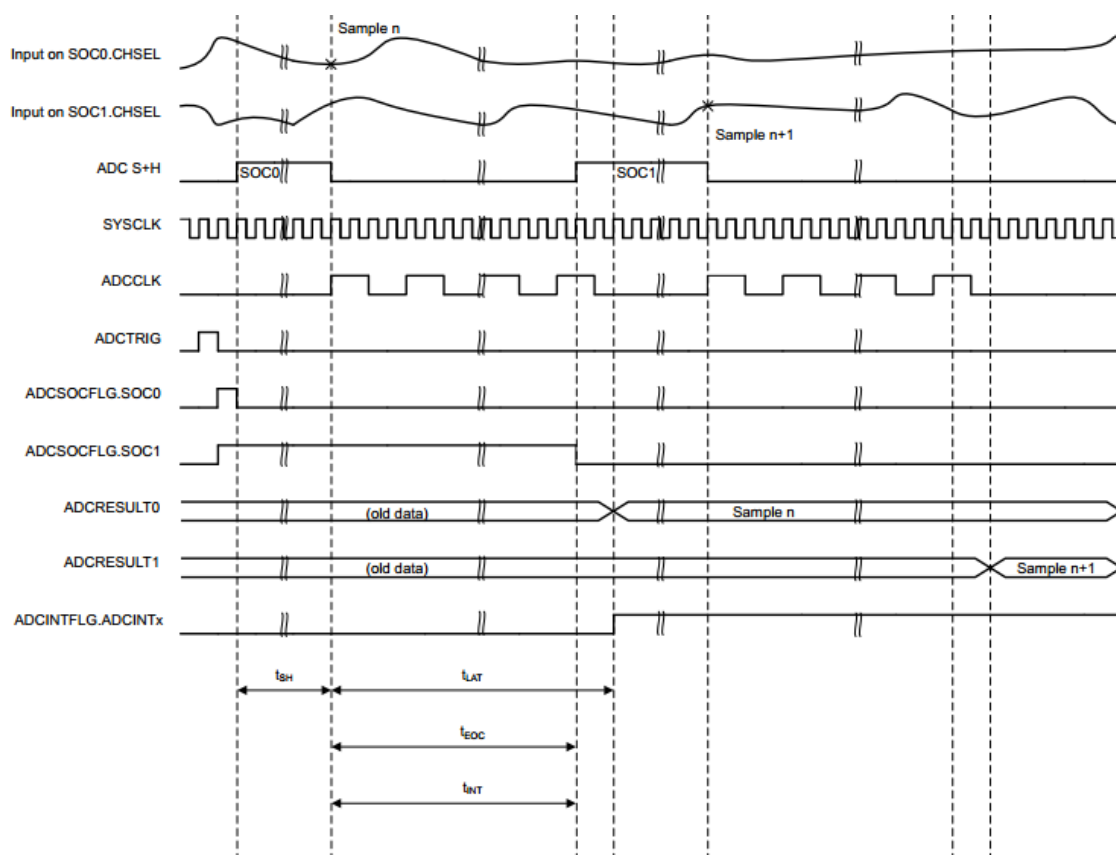
12bit ADC 特性					
参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK 转换周期	120MHz SYSCLK	17	18	96	ADCCLK
上电时间	外部基准模式			500	μs
	内部基准模式			500	μs
	在 2.5V 和 3.3V 范围之间切换时采用内部基准模式			5000	μs
VREFHI 输入电流					μA
内部基准电容值		2.2			μF
外部基准电容值		2.2			μF
直流特性					
增益误差	内部基准电压	-45		45	LSB
	外部基准	-5	+3	5	
偏移量误差		-5	+2	5	LSB
通道间增益误差					LSB
通道间偏移量误差					LSB
ADC 间增益误差	所有 ADC 的 VREFHI 和 VREFLO 都相同				LSB
ADC 间偏移量误差	所有 ADC 的 VREFHI 和 VREFLO 都相同				LSB
DNL 误差		-1	+0.5	1	LSB
INL 误差		-2	+1	2	LSB
ADC 间隔离	VREFHI = 2.5V, 同步 ADC				LSB
交流特性					
SNR	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1		66		dB
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自INTOSC		60		
THD	VREFHI = 2.5V, fin = 100kHz		-80		dB
SFDR	VREFHI = 2.5V, fin = 100kHz		79		dB
SINAD	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1		66		dB
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自INTOSC		60		
ENOB	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自X1, 单个 ADC		11		位
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自X1, 同步 ADC		11		
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自X1, 异步 ADC				
PSRR	VDD = 1.2V 直流100mV 直流至正弦 (1kHz时)		60		dB
	VDD = 1.2V 直流 + 100mV 直流至正弦 (300kHz 时)		60		
	VDDA = 3.3V 直流 + 200mV 直流至正弦 (1kHz 时)		60		
	VDDA = 3.3V 直流 + 200mV 正弦 (900kHz 时)		60		

表 5-14. 12bit ADC 特性

- (1) 当 ADC 输入电压上升到高于 V_{DDA} 时, INL 将会降低。
- (2) 建议使用0805封装电容或者更小的陶瓷电容, 接受 $\pm 20\%$ 的容差。
- (3) 为尽量减少电容耦合和串扰, 在毗邻ADC输入引脚和VREFHI引脚的IO活动已经最小化。
- (4) 直流/直流稳压器对ADC的噪声影响在很大程度上取决于PCB布局。

5.8.1.3.3 ADC 时序框图

图5-3给出了ADC的转换时序:



注:采样时间可以通过配置 SOC 信号来调整。

图 5-3. 12bit ADC 转换时序-连续转换

5.8.2 温度传感器

5.8.2.1 温度传感器电气数据和时序

该温度传感器可用于测量器件结温。温度传感器通过ADC的内部连接进行采样，并通过QX提供的软件转换为温度。当温度传感器采样时，ADC必须满足5.8.3.1.1中的采样时间。

5.8.2.1.1 温度传感器特性

理论设计指标（除非另作说明）

表 5-15. 温度传感器特性

T _{acc}	温度精度	内部基准 (-40°C 至 30°C)	-15	±2	15	°C
		内部基准 (30°C 至 85°C)	-9	±2	7	°C
		内部基准 (85°C 至 125°C)	-5	±2	8	°C
		内部基准 (125°C 至 140°C)	-6	±2	12	°C
		外部基准 (-40°C 至 30°C)	-8	±2	10	°C
		外部基准 (30°C 至 140°C)	-5	±2	8	°C
t _{startup}	启动时间 (TSNSCTL[ENABLE] 至采样温度传感器)		500			μs
t _{acq}	ADC 采集时间		450			ns

5.8.3 比较器子系统(CMPSS)

每个 CMPSS 包含一个比较器，一个个 12 位参考 DAC，一个斜坡发生器。每个比较器产生一个数字输出，表示正输入端的电压是否大于负输入端的电压。比较器的正输入可以由外部引脚。负输入可以由外部引脚或可编程参考 12 位 DAC 来驱动。如果不需要过滤，也可以使用未经过滤的输出。斜坡发生器电路可选择控制子系统中比较器的 12 位 DAC 参考值

CMPSS 连接如图 5-25 所示。

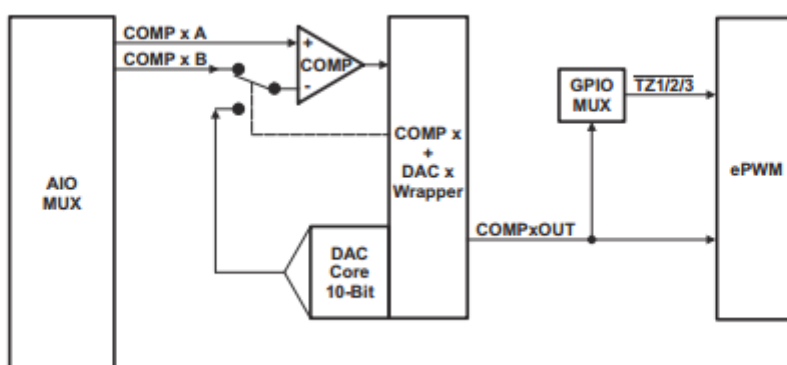


图 5-4 CMPSS 连接

注：并非所有封装都具有所有 CMPSS 引脚。请参阅模拟引脚和内部连接表。

比较器/DAC的电气特性

表5-16 比较器的电气特性

参数		测试条件	最小值	典型值	最大值	单位
TPU	上电时间			500		μs
比较器输入 (CMPINxx) 范围			0		VDDA	V
以输入为基准的偏移量误差		低共模, 反相输入 设置为50mV	-20		20	mV
迟滞		1x	4	12	20	LSB
		2x	17	24	33	
		3x	25	36	50	
		4x	30	48	67	
响应时间 (从CMPINx 输入更改到 ePWM X-BAR输出或 X-BAR 输出的延迟)		阶跃响应		21	60	ns
		斜坡响应 (1.65V/μs)		26		
PSRR	电源抑制比	高达250kHz		46		dB
CMRR	共模抑制比			40		dB

5.8.3.1 CMPSS DAC 静态电气特性

参数	测试条件	最小值	典型值	最大值	单位
CMPSS DAC 输出范围	内部基准	0		VDDA	V
静态偏移量误差		- 25		25	mV
静态增益误差		-2		2	FSR 百分比
静态DNL	已更正端点	> - 1		4	LSB
静态INL	已更正端点	- 16		16	LSB
趋稳时间	满量程输出变化后稳定到1LSB			1	μs
分辨率			12		位
CMPSS DAC 输出干扰	由同一 CMPSS 模块内的 比较器跳闸或CMPSS DAC 代码更改引起的误差	- 100		100	LSB
CMPSS DAC 干扰时间				200	ns

表5-17 比较器DAC的电气特性



5.9 控制外设

5.9.1 增强型捕获(eCAP)

1 类增强型捕捉(eCAP) 模块用于注重外部事件精确时序的系统。

eCAP 模块的应用包括：

- 旋转机械的速度测量（例如，通过霍尔传感器感应齿状链轮）
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅

eCAP 模块包括以下特性：

- 4 事件时间戳寄存器（每个 32 位）
- 边缘极性选择，最多选择四个序列时间戳捕获事件
- 四个事件中的任何一个发生时的 CPU 中断
- 独立的 DMA 触发器
- 多达 4 个事件时间戳的单脉冲捕捉
- 在一个 4 深循环缓冲区中连续捕获时间戳的模式
- 绝对时间戳采集
- 差分(Δ) 模式时间戳采集
- 128:1 输入多路复用器
- 事件预分频器
- 当未用于捕获模式时，eCAP 模块可配置为单通道 PWM 输出。

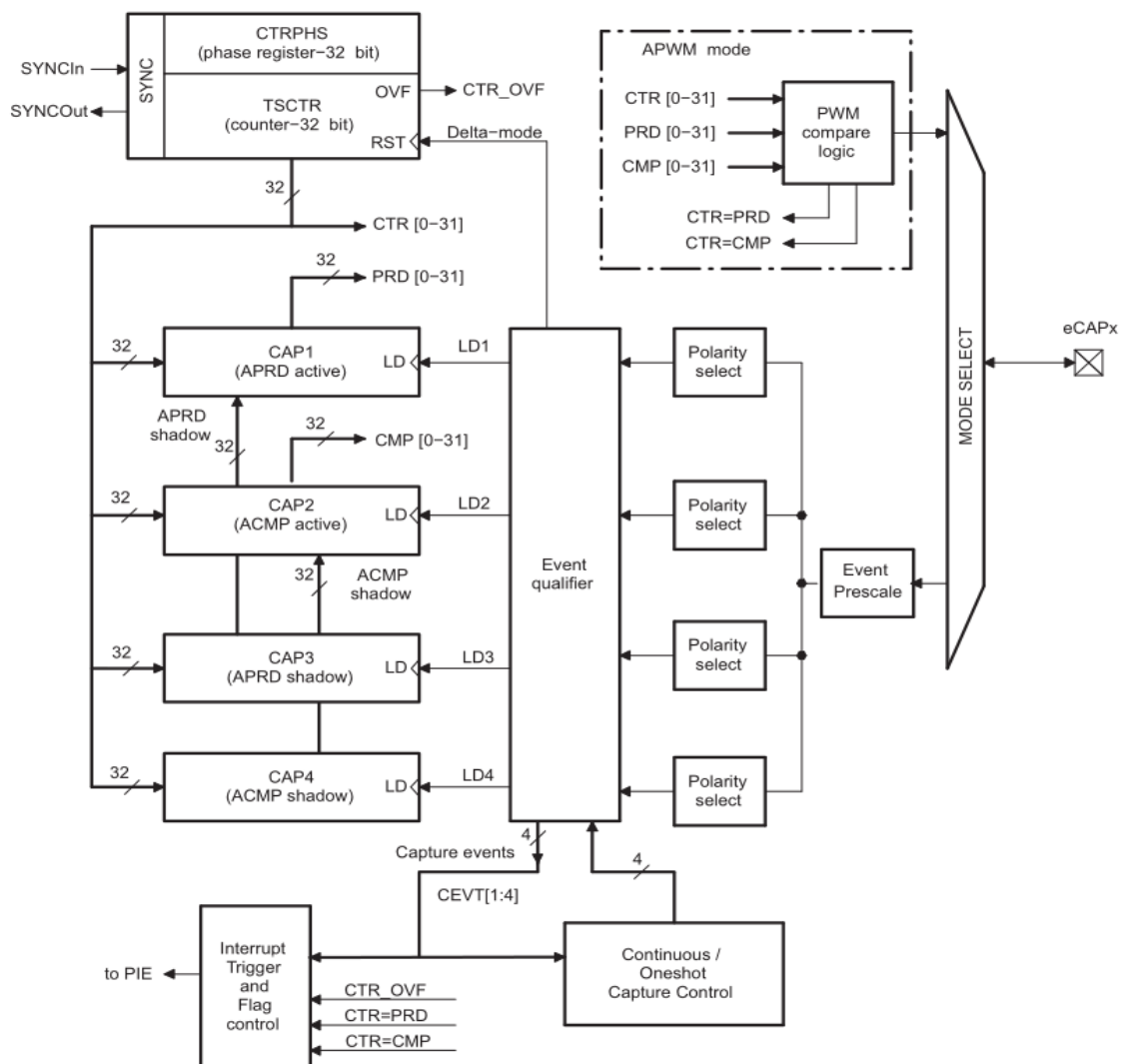
1 类 eCAP 的捕捉功能通过 0 类 eCAP 得到增强，增加了以下特性：

- 事件过滤器复位位
 - 向 ECCTL2[CTRFILTRESET] 写入1将清零事件滤波器、模计数器和任何挂起的中断标志。这对于初始化和调试很有用。
- 模数计数器状态位。
 - 模数计数器(ECCTL2[MODCTRSTS]) 指示接下来将加载哪个捕捉寄存器。在0类 eCAP中，无法知道模数计数器的当前状态。
- DMA 触发源
 - eCAPxDMA被添加为一个DMA触发器。CEVT[1–4]可以配置为eCAPxDMA 的源。
- 输入多路复用器
 - ECCTL0[INPUTSEL] 选择128个输入信号之一。
- EALLOW 保护
 - EALLOW保护已添加到关键寄存器。

输入 X-BAR 必须用于将器件输入引脚连接到模块。输出 X-BAR 必须用于将输出信号连接到 OUTPUTXBARx 输出位置。请参阅节 6.4.3 和节 6.4.4。

图 5-15 显示了 eCAP 方框图。

图 5-15. eCAP 方框图



STONE
TECH

5.9.1.1 eCAP电气数据和时序

节 5.9.1.1.1 列出了 eCAP 时序要求。 节 5.9.1.1.2 列出了 eCAP 开关特性。

5.9.1.1.1 eCAP 时序要求

表 5-16. eCAP 时序要求

参数		最小值	标称值	最大值	单位
tw(CAP)	采集输入脉冲宽度	异步	2tc(SCO)		ns
		同步	2tc(SCO)		
		带输入限定器	1tc(SCO) + tw_(QSW)		

5.9.1.1.2 eCAP 开关特性

理论设计指标（除非另作说明）

表 5-17. eCAP开关特性

参数	最小值	典型值	最大值	单位
tw(APWM)	脉冲持续时间 , APWMx 输出高电平/低电平			ns
	20			

5.9.2 高分辨率捕捉子模块(HRCAP1–HRCAP2)

该器件最多包含两个高分辨率捕捉 (HRCAP) 子模块。HRCAP 子模块可以测量与系统时钟异步的脉冲之间的时间差。该子模块是 eCAP 1 类模块新增的子模块，与 0 类 HRCAP 模块相比具有许多增强功能。

HRCAP 的应用包括：

- 电容式触控应用
- 脉冲序列周期的高分辨率周期和占空比测量
- 瞬时速度测量
- 瞬时频率测量
- 在一个隔离边界上的电压测量
- 距离/声纳测量和扫描
- 流量测量

HRCAP 子模块包含以下特性：

- 在非高分辨率或高分辨率模式下进行脉宽捕捉
- 绝对模式脉宽捕捉
- 连续或“一次性”捕捉
- 在下降沿或上升沿捕捉
- 4 深度缓冲器中脉冲宽度的持续模式捕捉
- 通过硬件校准逻辑实现精密高分辨率捕捉
- 使用输入 X-BAR 的任何引脚上均可使用此列表中的所有资源。

HRCAP 子模块包含一个高分辨率捕捉通道以及一个校准块。校准块允许 HRCAP 子模块在设定的时间间隔内持续 重新校准 ，不存在 “ 中断时间 ”。 由于 HRCAP 子模块现在使用与其相应 eCAP相同的硬件 ， 因此如果使用 HRCAP ， 则相应的 eCAP 将不可用。

每个支持高分辨率的通道都具有以下独立的关键资源。

- 相应 eCAP 的所有硬件
- 高分辨率校准逻辑
- 专用校准中断



5.9.2.1 HRCAP 电气数据和时序

节 5.9.2.1.1 列出了 HRCAP 开关特性。图 5-16 所示为 HRCAP 精度和分辨率。

5.9.2.1.1 HRCAP 开关特性

理论设计指标（除非另作说明）

表5-18. HRCAP开关特性

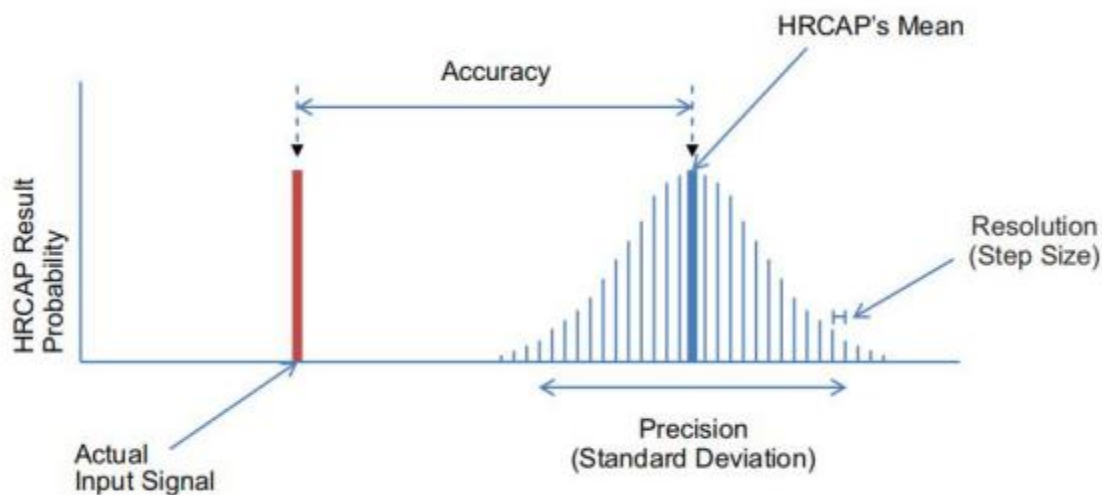
参数	测试条件	最小值	典型值	最大值	单位
输入脉冲宽度		110			ns
精度(1) (2) (3) (4)	测量时长 $\leq 5\mu s$	± 390		540	ps
	测量时长 $> 5\mu s$	± 450		1450	ps
标准差		请参见图 7-66			
分辨率		300			ps

(1) 使用 100PPM 的振荡器获得的值，振荡器精度直接影响 HRCAP 精度。

(2) 使用上升-上升沿或下降-下降沿完成测量。

(3) 由于 V_{IH} 和 V_{IL} 之间的差异，极性相反的边沿将进一步降低精度。这种影响取决于信号的压摆率。

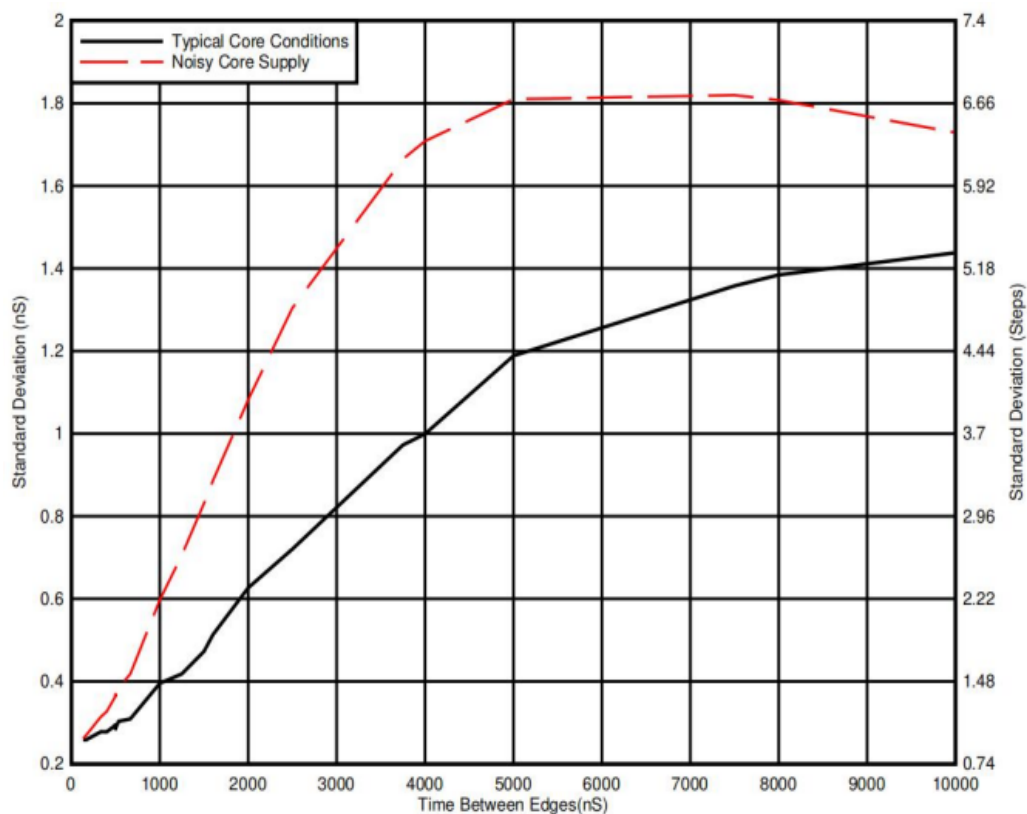
(4) 精度仅适用于经过时间转换的测量。



A. HRCAP 在性能上有一些变化，其概率分布可以使用以下术语描述：

- 精度：输入信号与 HRCAP 分布均值之间的时间差。
- 精度：HRCAP 分布的宽度，以标准偏差的形式给出。
- 分辨率：最小可测量增量。

图 5-16. HRCAP 精度和分辨率



A. 典型的内核条件：所有外设时钟被启用。

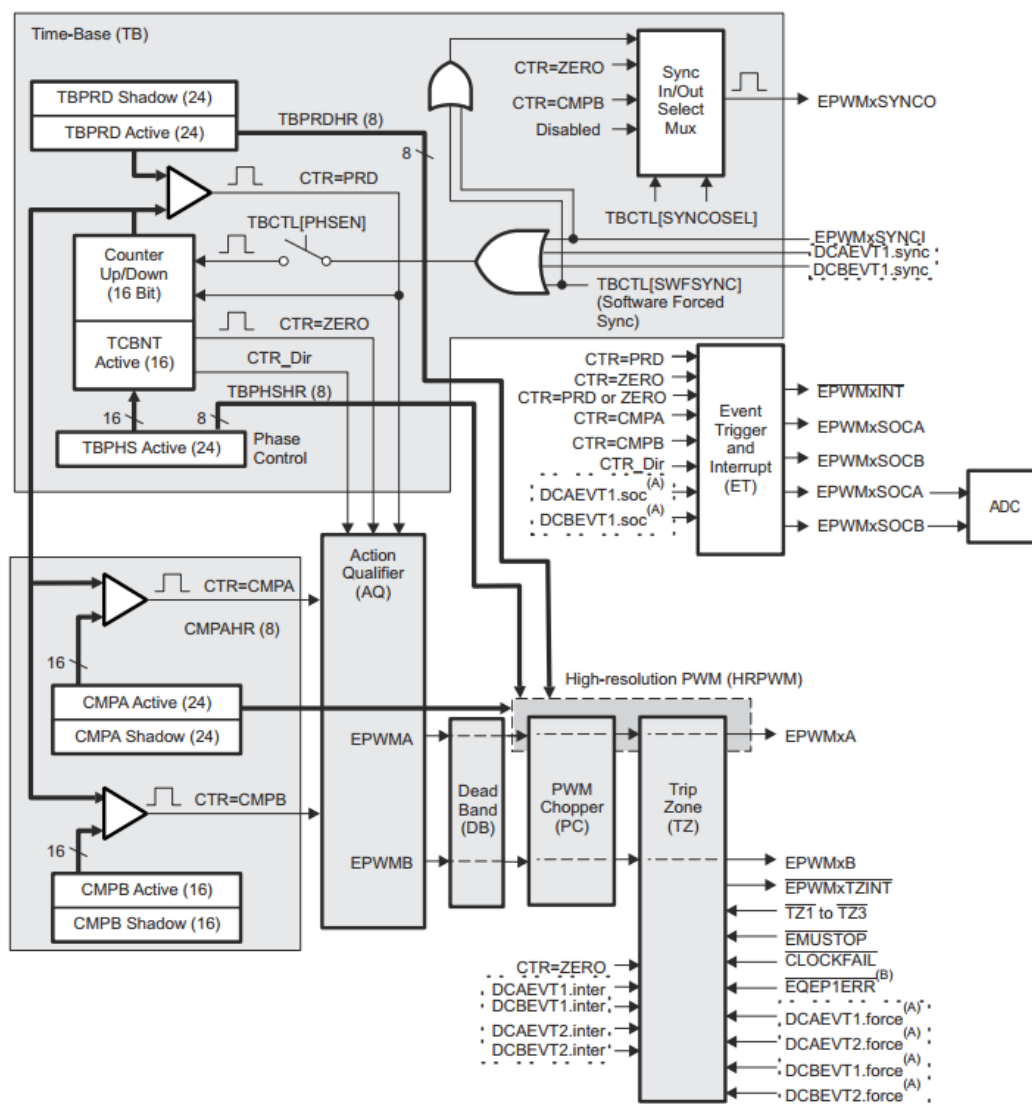
B. 有噪声的内核电源：在测量期间，所有内核时钟都以一个固定周期启用和禁用。这会导致 1.2V 电源轨在测量期间出现 18.5mA 的摆幅。

C. 1.2V 电源轨上的电流和电压波动会导致 HRCAP 的标准偏差上升。应注意确保 1.2V 电源是清洁的，并且在使用 HRCAP 时已最大限度地减少了干扰性内部事件（例如启用和禁用时钟树）。

5.9.3 增强脉冲宽度调制(ePWM)

ePWM 外设是许多商业和工业设备中电力电子系统控制的关键部分。ePWM 模块能够以最小的 CPU 开销生成复杂的脉冲宽度波形，将具有独立资源的小模块构建为各个外设，并将这些资源共同组成 系统运行。ePWM 模块的一些特性包括复杂波形生成、死区生成、灵活的同步配置、高级错误联防功能和全局寄存器重新加载功能。

ePWM 模块如图 5-19 所示。



A. 根据 TRIPIN 输入的电平经过 ePWM 中的数字比较(DC)子模块生成的事件。

图 5-19. ePWM 子模块和关键内部信号连接

5.9.3.1 ePWM电气数据和时序

第 5.9.3.1.1 节列出了 ePWM 时序要求，第 5.9.3.2.2 节列出了 ePWM 开关特性。

5.9.3.1.1 ePWM 时序要求

表 5-26. ePWM 时序要求

参数			最小值	最大值	单位
tw(SYNCIN)	同步输入脉冲宽度	异步	2tc(EPWMCLK)		cycles
		同步	2tc(EPWMCLK)		
		使用输入限定	1tc(EPWMCLK) + tw(IQSW)		

5.9.3.1.2 ePWM 开关特性

超过推荐的运行条件（除注明外）

表 5-27. ePWM 开关特性

参数		最小值	最大值	单位
tw(PWM)	脉冲持续时间, PWMx输出高/低	12.5		ns
tw(SYNCOUT)	同步输出脉冲宽度	8tc(SYSCLK)		cycles
td(TZ-PWM)	延时时间, 跳闸输入使PWM强制高 延时时间, 跳闸输入使到PWM强制低 延时时间, 跳闸输入使PWM Hi-Z	25		ns

5.9.3.1.3 Trip-Zone 输入时序

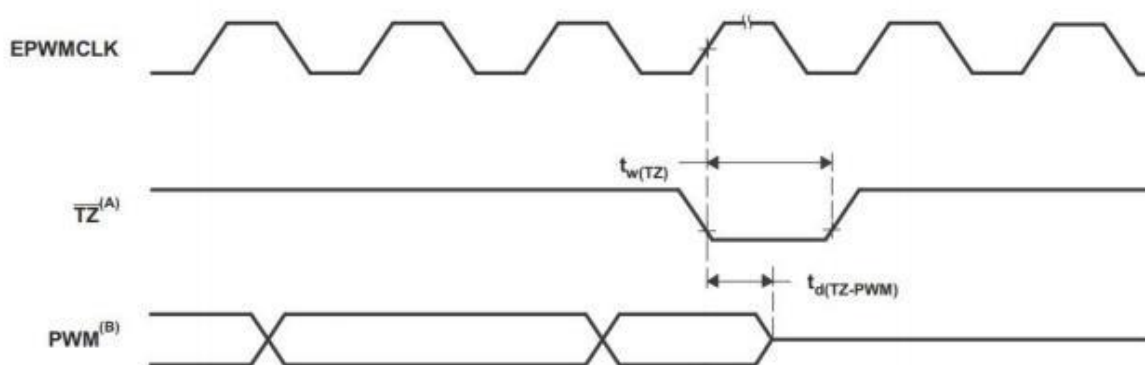


图 5-21. Trip-Zone 输入时序

(1) TZ: TZ1、TZ2、TZ3、TRIP1 至 TRIP12

(2) PWM 指的是设备中所有的 PWM 引脚。TZ 至高后 PWM 引脚的状态由PWM 恢复软件恢复决定。

5.9.3.2 外部ADC转换脉冲开始的电气数据和时序

第 5.10.3.3.1 节列出了外部 ADC 转换开始的开关特性。ADCSOCAO或ADCSOCBO定时如图 5-39 所示。

5.9.3.2.1 外部ADC转换脉冲开始的开关特性

超出建议的运行条件(除非另有说明)

表 5-21.外部 ADC 转换脉冲开始的开关特性

参数	最小值	最大值	单位
tw(ADCSOCL) 脉冲持续时间, ADCSOCxO 低	32tc(SYSCLK)		cycles

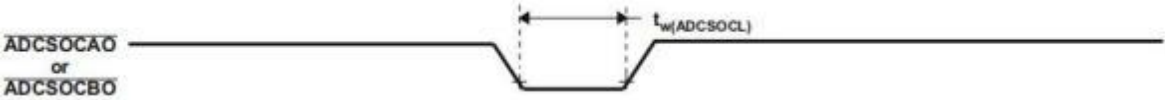


图 5-22. ADCSOCAO或ADCSOCBO时序



5.9.4 高分辨率脉冲宽度调制器(HRPWM)

HRPWM 将多个延迟线组合在一个模块中，并通过使用专用的校准延迟线简化校准系统。
对于每个

ePWM 模块，有两个 HR 输出：

- 通道 A 的 HR 占空比与死区控制
- 通道 B 的 HR 占空比与死区控制

HRPWM 模块提供的 PWM 分辨率(时间间隔尺寸)明显优于使用传统的数字 PWM 方式所能实现的分辨率。

HRPWM 模块的关键点是：

- 显著提高了传统数字 PWM 的时间分辨率能力
- 此功能可用于单边缘(占空比和相移控制)以及频率/周期调制的双边缘控制。
- 通过对 ePWM 模块的 Compare A, B, 相位，周期和死区寄存器的扩展功能，可以控制更细的时间粒度控制或边缘定位。

注意：HRPWM 允许的最低 HRPWMCLK 频率为 60 MHz。

5.9.4.1 HRPWM 电气数据和时序

第 5.10.4.1.1 节列出了高分辨率 PWM 开关特性。

5.9.4.1.1 高分辨率 PWM 特性

表 5-28.高分辨率 PWM 特性

参数	最差值	典型值	最好值	单位
微边缘 (MEP) 定位步长(1)		110		ps

(1) 在 VDD 上，MEP 步长在高温和最低电压时最大。MEP 步长随温度升高、电压降低而增大，随温度降低、电压升高而减小。应用程序根据 HRPWM 特性应使用 MEP 比例因子优化器(SFO)估算软件功能。

(2) 当 HRPWM 工作时，SFO 函数会协助动态估算每个 SYSCLK 周期的 MEP 步数。

5.9.5.1 eQEP电气数据和时序

第 5.10.4.1.1 节列出了 eQEP 时序要求，第 5.10.4.1.2 节列出了 eQEP 切换特性。

5.9.5.1.1 eQEP 时序要求

表 5-31. eQEP时序要求

参数			最小值	最大值	单位
tw(QEPP)	QEP输入周期	同步 ⁽¹⁾	2tc(SYSCLK)		cycles
		与输入限定同步	2[1tc(SYSCLK) + tw(IQSW)]		
tw(INDEXH)	QEP Index Input High time 索引高输入时间	同步 ⁽¹⁾	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		
tw(INDEXL)	QEP Index Input Low time 索引低输入时间	同步 ⁽¹⁾	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		
tw(STROBH)	QEP Strobe input High time 闪烁高输入时间	同步 ⁽¹⁾	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		
tw(STROBL)	QEP Strobe Input Low time 闪烁低输入时间	同步 ⁽¹⁾	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		

(1)GPIO GPxQSELn 异步模式不应该用于 eQEP 模块的输入引脚。

5.9.5.1.2 eQEP 开关特性

理论设计指标（除非另作说明）

表 5-32. eQEP开关特性

参数		最小值	最大值	单位
td(CNTR)xin	延迟时间，外部时钟计数器增量		5tc(SYSCLK)	cycles
td(PCS-OUT)QEP	延迟时间，QEP 输入边沿到位置比较同步输出		7tc(SYSCLK)	cycles

5.10通信外设

5.10.1 控制局域网络(CAN)

CAN模块使用称为CAN FD的 IP。本文档交替使用名称CAN和CAN FD来引用此外设。

CAN模块实现了以下功能:

- ☞ 支持CAN规范

- CAN2.0B (最多支持8字节的有效载荷, 由Bosch参考模型进行验证)
- 可选支持CAN FD (最多支持64字节的有效载荷, 符合ISO 11898-1:2015或非ISO

Bosch标准)

- ☞ 可自由编程的数据率:

- CAN 2.0B定义了最高1Mbit/s的数据率
- CAN FD受收发器和CAN-CTRL核心的时钟频率限制

- ☞ 可编程的波特率分频器 (1至1/256)

- ☞ 主机接口和CAN协议机使用独立的时钟域

- ☞ 可配置的接收缓冲区 (RB) 大小

- 通用参数选择缓冲区槽位数量
- 类似FIFO的行为
- 未被“接受”或“错误”的接收消息不会覆盖已存储的消息

- ☞ 两个发送缓冲区

- 一个主要发送缓冲区 (PTB)
- 可选的可配置次要发送缓冲区 (STB)

- STB是可选的。通用参数选择缓冲区槽位的数量

- 可以以FIFO或优先级决策模式运行

- 独立且可编程的内部29位验收滤波器

- 可以通过通用参数选择验收滤波器的数量, 范围为1到16

- ☞ 扩展功能

- 单次发送模式 (适用于PTB和/或STB)
- 仅监听模式
- 环回模式 (内部和外部)
- 收发器待机模式

- ☞ 扩展状态和错误报告

- 捕获最后发生的错误类型和仲裁丢失位置
- 可编程错误警告限制值

- ☞ 可配置的中断源

- ☞ 一个双端口内存块或两个伪双端口内存块用于帧缓冲区

- ⌘ 时间戳：
 - ISO 11898-4具有部分硬件支持的定时触发CAN
 - CiA 603时间戳
- ⌘ 完全同步和可综合的HDL设计（Verilog 2001，VHDL 93）
- ⌘ 兼容AUTOSAR
- ⌘ 优化用于SAE J1939
- ⌘ 包含Linux驱动程序

CAN 模块框图如图 5-24所示。

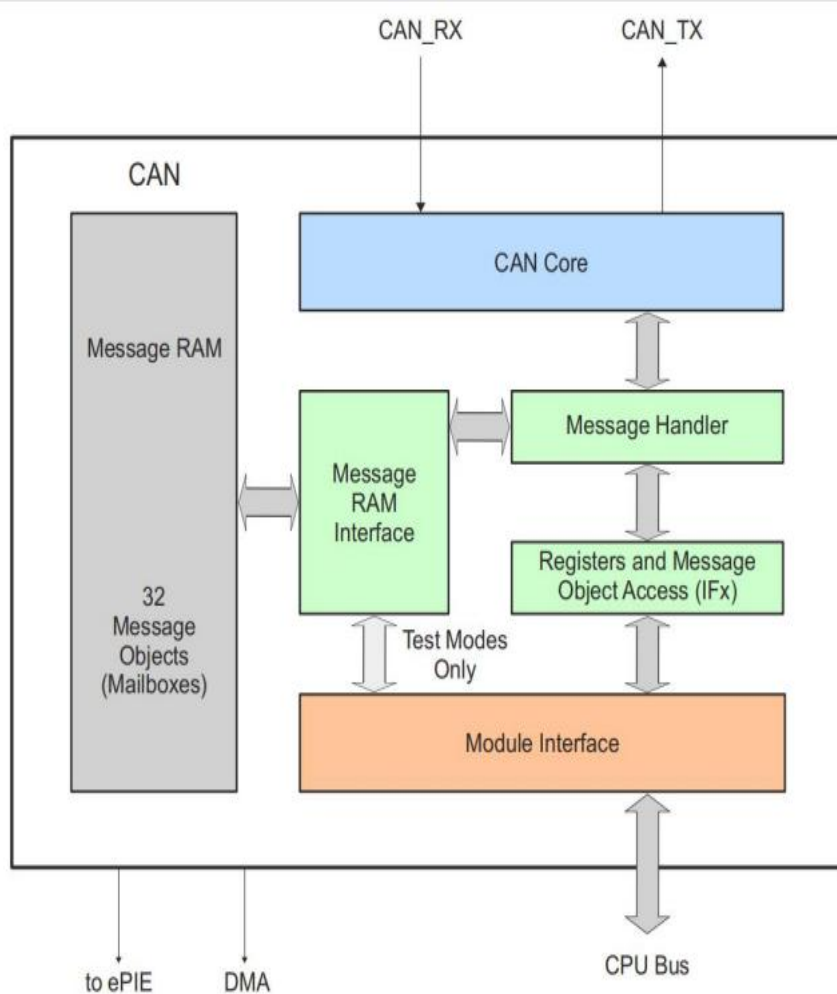


图 5- 24. CAN 框图

5.10.2 内置集成电路(I2C)

I2C 模块具有以下特点:

- 符合 NXP 半导体 I2C 总线规范(2.1 版)
 - 支持 8 位格式传输
 - 7 位和 10 位寻址模式
 - 通用寻呼
 - START 字节模式
 - 支持多个主发射机和从接收机
 - 支持多个从发射机和主接收机
 - 主发送/接收和接收/发送组合模式
 - 数据传输速率从 10kbps 提高到 400kbps(Fast-mode)
- 一个 16 字节的接收 FIFO 和一个 16 字节的发送FIFO
- 支持两个 ePIE 中断
 - I2Cx 中断-下列任何一条条件都可以配置生成 I2Cx 中断：
- 发送就绪
- 接受就绪
- 存取寄存器就绪
- 未应答
- 仲裁丢失
- 检测停止状态
- 从机地址
 - I2Cx_FIFO 中断：
- 发送 FIFO 中断
- 接收 FIFO 中断
- 模块启用和禁用功能
- 自由数据格式模式



设备 I2C 外设模块接口如图 5-25 所示。

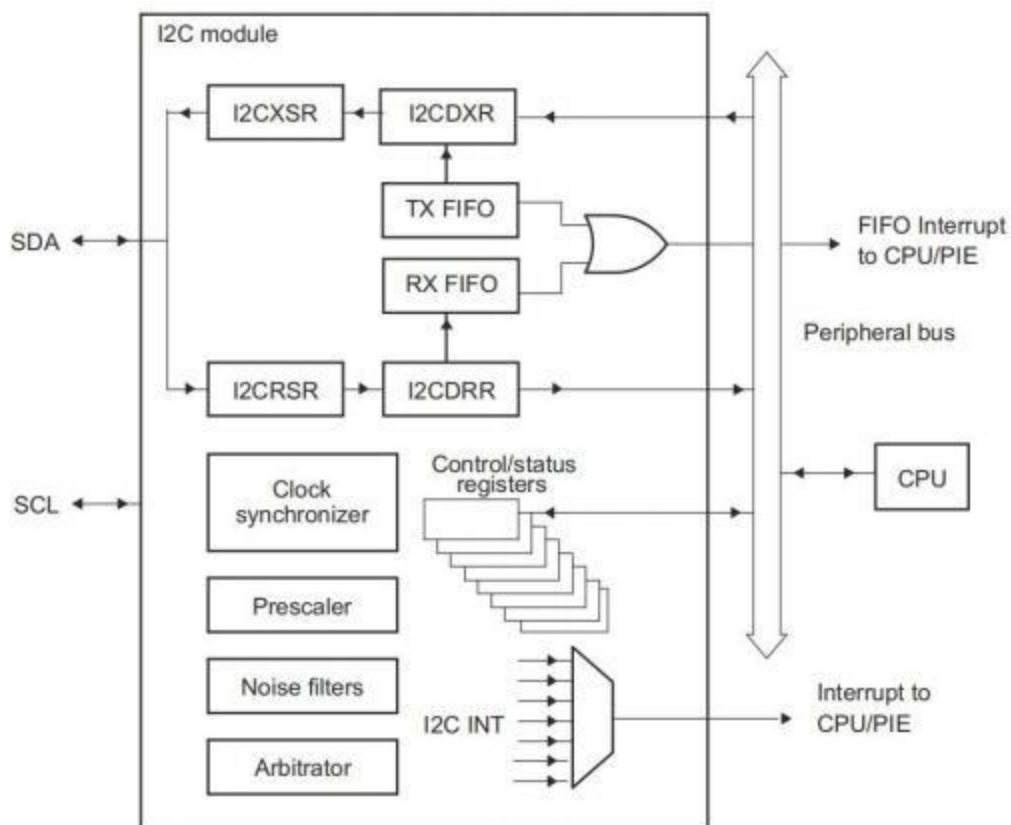


图 5- 25. I2C 外设模块接口

注意:为了满足所有 I2C 协议时序规范，I2C 模块时钟必须配置在 7MHz ~ 12MHz 范围内

。



5.10.2.1 I2C电气数据和时序

I2C 定时要求请参见章节 5.10.2.1.1。I2C 开关特性请参见 5.10.2.1.2。I2C 时序示意图如图 5-48 所示。

5.10.2.1.1 I2C时序要求

表 5-35. I2C 时序要求

编号			最小值		单位
标准模式					
T0	f_{mod}	I2C 模块频率	7 ~12		MHz
T1	$t_{h(SDA-SCL)START}$	保持时间, 启动条件, SDA 下降后 SCL 下降延迟	4.0		μs
T2	$t_{su(SCL-SDA)START}$	设置时间, 重复启动, SDA 下降延迟之前 SCL 上升	4.0		μs
T3	$t_{h(SCL-DAT)}$	保持时间, SCL 下降后的数据	0		μs
T4	$t_{su(DAT-SCL)}$	设置时间, SCL 上升前的数据	250		ns
T5	$t_r(SDA)$	上升时间, SDA	1000		ns
T6	$t_r(SCL)$	上升时间, SCL	1000		ns
T7	$t_f(SDA)$	下降时间, SDA	300		ns
T8	$t_f(SCL)$	下降时间, SCL	300		ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间, 停止条件, SDA 上升延迟之前 SCL 上升	4.0		μs
T10	$t_w(SP)$	将由滤波器抑制的尖峰脉冲持续时间	0~ 50		ns
T11	C_b	每条总线上的电容负载	400		pF
快速模式					
T0	f_{mod}	I2C 模块频率	7 ~12		MHz
T1	$t_{h(SDA-SCL)START}$	保持时间, 启动条件, SDA 下降后 SCL 下降延迟	0.6		μs
T2	$t_{su(SCL-SDA)START}$	设置时间, 重复启动, SDA 下降延迟之前 SCL 上升	0.6		μs
T3	$t_{h(SCL-DAT)}$	保持时间, SCL 下降后的数据	0		μs
T4	$t_{su(DAT-SCL)}$	设置时间, SCL 上升前的数据	100		ns
T5	$t_r(SDA)$	上升时间, SDA	20	300	ns
T6	$t_r(SCL)$	上升时间, SCL	20	300	ns
T7	$t_f(SDA)$	下降时间, SDA	11.4	300	ns
T8	$t_f(SCL)$	下降时间, SCL	11.4	300	ns
编号			最小值	最大值	单位
T9	$t_{su(SCL-SDA)STOP}$	设置时间, 停止条件, SDA 上升延迟之前 SCL 上升	0.6		μs

T10	$t_w(SP)$	将由滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C_b	每条总线上的电容负载	400		pF

5.6.2.1.2 I2C 开关特性

在推荐的工作条件下（除非另有说明）

表 5- 36. I2C 开关特性

编号	参数		测试条件	最小值	最大值	单位
标准模式						
S1	fSCL	SCL 时钟频率		0	100	kHz
S2	TSCL	SCL 时钟周期		10		μs
S3	tw(SCLL)	脉冲持续时间， SCL 时钟低电平		4.7		μs
S4	tw(SCLH)	脉冲持续时间， SCL 时钟高电平		4.0		μs
S5	tBUF	停止和启动条件之间的总线空闲时间		4.7		μs
S6	tw(SCL-DAT)	有效时间， SCL 下降后的数据		3.45		μs
S7	tw(SCL-ACK)	有效时间， SCL 下降后的确认		3.45		μs
S8	Ii	引脚上的输入电流	0.1 Vbus < Vi < 0.9 Vbus	-10	10	μA
快速模式						
S1	fSCL	SCL 时钟频率		0	400	kHz
S2	TSCL	SCL 时钟周期		2.5		μs
S3	tw(SCLL)	脉冲持续时间， SCL 时钟低电平		1.3		μs
S4	tw(SCLH)	脉冲持续时间， SCL 时钟高电平		0.6		μs
S5	tBUF	停止和启动条件之间的总线空闲时间		1.3		μs
S6	tw(SCL-DAT)	有效时间， SCL 下降后的数据		0.9		μs
S7	tw(SCL-ACK)	有效时间， SCL 下降后的确认		0.9		μs
S8	Ii	引脚上的输入电流	0.1 Vbus < Vi < 0.9 Vbus	-10	10	μA

5.6.2.1.3 I2C 时序图

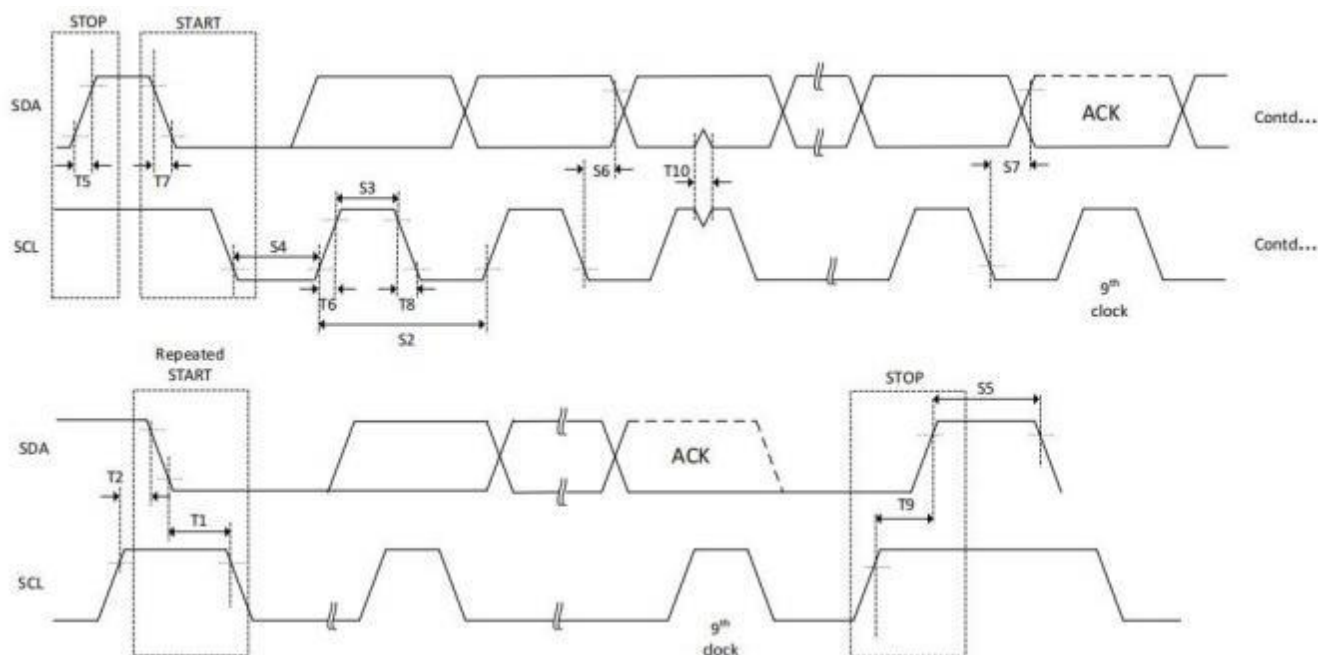


图 5- 26. I2C 时序图

5.10.3 串行通信接口(SCI)

SCI 是一种两线异步串行端口，通常称为 UART。SCI模块支持 CPU 和其他使用标准非归零(NRZ) 格式的异步外设的数字通信。SCI接收器和发射器都有一个 16 层的FIFO，可以减少CPU 工作开销，每个都有单独的使能和中断位。可以独立进行半双工通信，或同时进行全双工通信。为了确定数据完整性，SCI检查接收到的数据是否有中断检查、奇偶校验、溢出和帧格式错误。通过 16 位寄存器修改可以编程不同的波特率速度。

SCI模块的特点包括:

两个外部引脚：（如果不用于 SCI，则两个引脚都可以用作 GPIO）

- SCITXD: SCI发送输出引脚
- SCIRXD: SCI接收输入引脚
- 波特率可编程到921600 不同的速率

• 数据字格式:

- 1 起始位
- 数据字长可编程从 1 到 8 位
- 可选偶数/奇数/无奇偶 校验位
- 1 或 2 个停止位

- 4 个错误检测标志:奇偶校验, 溢出, 帧格式和中断检测
- 半双工或全双工操作
- 双缓冲接收和发送功能
- 发射器和接收器操作可以通过带有状态标志的中断驱动或轮询算法来完成
 - 发射器:TXRDY 标志(发射器-缓冲寄存器准备接收另一个字符 char)和TX_EMPTY标志(发射器-移位寄存器为空)
 - 接收器:RXRDY 标志(接收缓冲区寄存器准备接收另一个字符 char), BRKDT 标志(中断条件发生), RX_ERROR 标志(监控四种中断条件)
- 独立的发射机和接收机的中断使能位(BRKDT 除外)
- 16 级发送和接收 FIFO

注意: 此模块中的所有寄存器都是 8 位寄存器。当访问寄存器时, 寄存器数据位于低字节(位7-0), 高字节(位 15-8)被读取为零。写入高字节没有效果。



SCI 框图如图 5-50 所示。

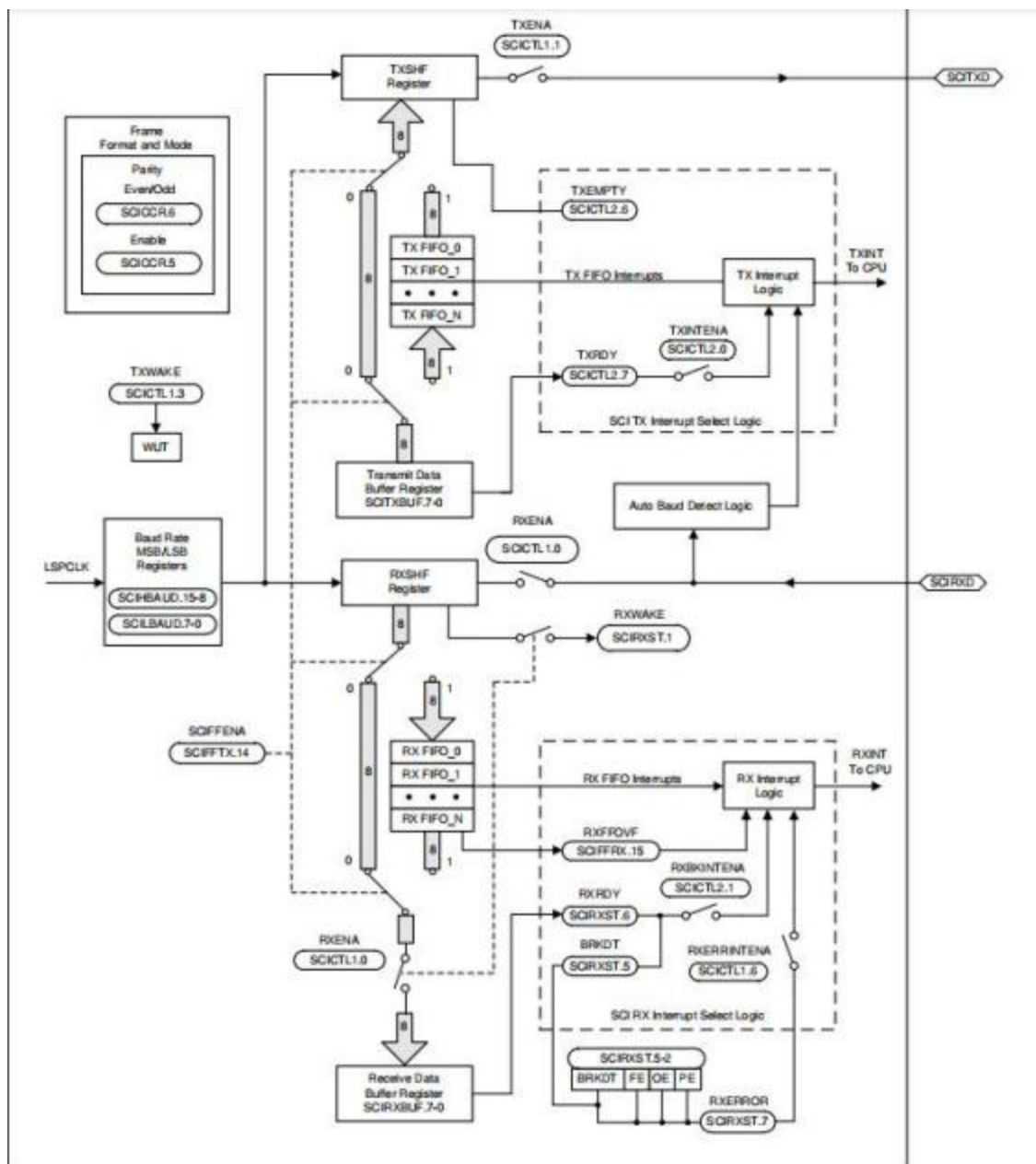


图 5-27. SCI 框图

5.10.4 串行外设接口(SPI)

串行外设接口(SPI)是一个高速同步串行输入和输出(I/O)端口，允许一个可编程长度(4~32位)的串行比特流被移进和移出设备，可根据配置的传输速率传输。SPI通常用于 DSP 控制器与外设或其他控制器之间的通信。典型的应用包括通过移位寄存器、显示驱动和模数转换器(ADC等)设备进行外部 I/O 或外围扩展。SPI 的主或从运行支持多设备通信。支持 8 级收发 FIFO，可减少 CPU 工作开销。

SPI模块的特点包括:

- ADC 中断和 EVT 信号SPISOMI: SPI 从输出/主输入引脚
- SPISIMO: SPI 从输入/主输出引脚
- SPSTE : SPI 从传输使能引脚
- SPICLK: SPI 串行时钟引脚
- 两种操作模式:主和从
- 波特率:65530 个不同的可编程速率。可用的最大波特率受限于 SPI 引脚上 I/O 缓冲区的最大速度。
- 数据字长:4 ~ 32 位
- 四种时钟策略(由时钟极性和时钟相位控制)包括:
 - 无相位延迟下降沿: SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿传输数据，在 SPICLK 信号的上升沿接收数据。
 - 有相位延迟下降沿: SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿前半个周期发送数据，在 SPICLK 信号的下降沿接收数据。
 - 无相位延迟的上升沿: SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿发送数据，在 SPICLK 信号的下降沿接收数据。
 - 有相位延迟的上升沿: SPICLK 低电平无效。SPI 在 SPICLK 信号上升沿前半个周期发送数据，并在 SPICLK 信号上升沿接收数据。
- 同时进行收发操作(可在软件中禁用发送功能)
- 发送机和接收机操作通过中断驱动或轮询算法来完成
- 8 级 发送/接收 FIFO
- 支持 DMA
- 3-线 SPI 模式

SPI CPU 接口如图 5-51 所示。

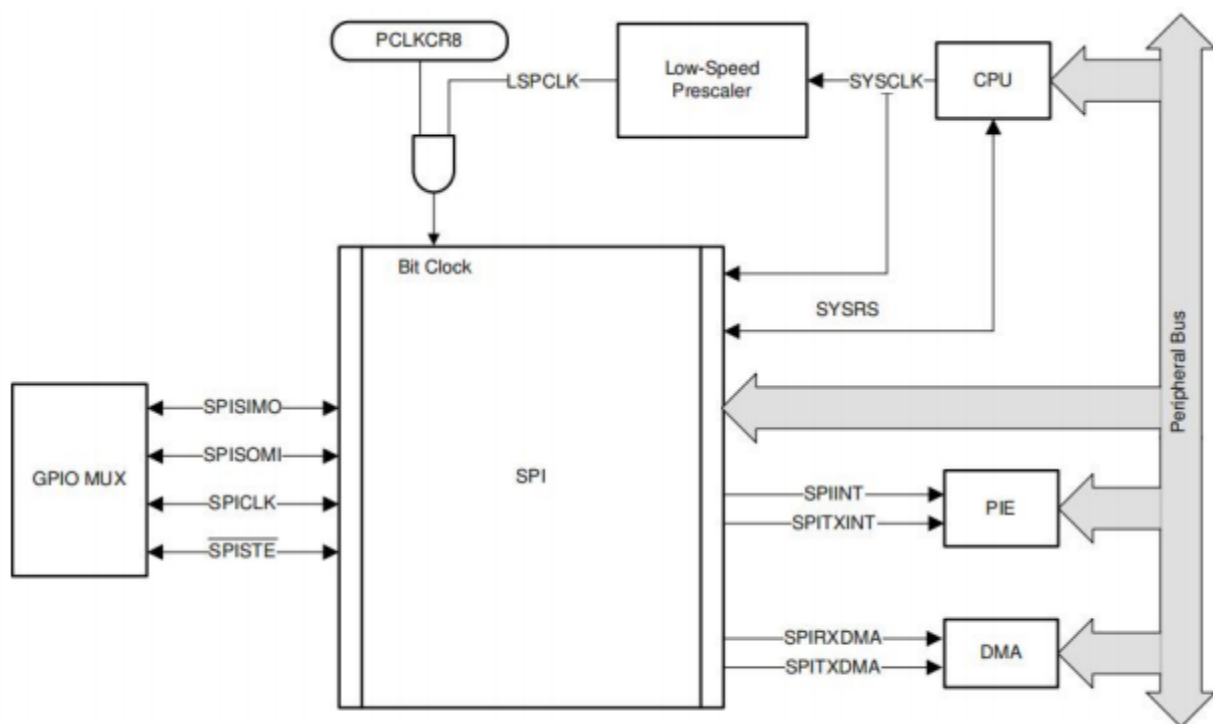


图 5-28. SPI CPU 接口

5.10.5.1 SPI 主模式时序

第 5.10.5.1.1 节列出了 SPI 主模式时序要求。

第 5.10.5.1.2 节列出了 SPI 主模式开关特性，其中时钟相位= 0。时钟相位为 0 的 SPI 主模式

外部时序如图 7-58 所示。

第 5.10.5.1.3 节列出了时钟相位= 1 的 SPI 主模式切换特性。时钟相位为 1 的 SPI 主模式外部

时序如图 7-59 所示。

注意：SPI 高速模式的所有定时参数在 SPICLK、SPISIMO 和 SPISOMI 上假定负载电容为 5pf。

5.10.5.1.1 SPI主模式定时要求

表 5- 40. SPI 主模式定时要求

NO.		(BRR + 1) ⁽¹⁾	最小值	最大值	单位
高速模式					
8	$t_{su(SOMI)M}$	建立时间, SPISOMI 在 SPICLK 之前有效	偶数, 奇数	1	ns
9	$t_{h(SOMI)M}$	保持时间, SPISOMI 在 SPICLK 之后有效	偶数, 奇数	5	ns
正常模式					
NO.		(BRR + 1) ⁽¹⁾	最小值	最大值	单位
8	$t_{su(SOMI)M}$	建立时间, SPISOMI 在 SPICLK 之前有效	偶数, 奇数	15	ns
9	$t_{h(SOMI)M}$	保持时间, SPISOMI 在 SPICLK 之后有效	偶数, 奇数		ns

(1) 当(SPIBRR + 1)为偶数或 SPIBRR 为 0 或 2 时, (BRR + 1)条件为偶数。当 (SPIBRR + 1)为奇数且 SPIBRR 大于 3 时为奇数。

5.10.5.1.2 SPI 主模式开关特性(时钟相位= 0)

理论设计指标 (除非另作说明)

表 5-41. SPI 主模式开关特性(时钟相位= 0)

NO.	参数		(BRR + 1)(1)	最小值	最大值	单位
通用						
1	tc(SPC)M	周期时间，SPICLK	偶数	4tc(LSPCLK) 128tc(LSPCLK)		ns
			奇数	5tc(LSPCLK) 127tc(LSPCLK)		
2	tw(SPC1)M	脉冲持续时间，SPICLK，第一个脉冲	偶数	0.5tc(SPC)M - 1 0.5tc(SPC)M + 1		ns
			奇数	0.5tc(SPC)M + 0.5tc(LSPCLK) - 1 0.5tc(SPC)M + 0.5tc(LSPCLK) + 1		
3	tw(SPC2)M	脉冲持续时间，SPICLK，第二个脉冲	偶数	0.5tc(SPC)M - 1 0.5tc(SPC)M + 1		ns
			奇数	0.5tc(SPC)M - 0.5tc(LSPCLK) - 1 0.5tc(SPC)M - 0.5tc(LSPCLK) + 1		
23	td(SPC)M	延迟时间，SPISTE到SPICLK 有效	偶数	1.5tc(SPC)M - 3tc(SYSCLK) - 3 1.5tc(SPC)M - 3tc(SYSCLK) + 3		ns
			奇数	1.5tc(SPC)M - 4tc(SYSCLK) - 3 1.5tc(SPC)M - 4tc(SYSCLK) + 3		
24	tv(STE)M	有效时间, SPICLK 到 SPISTE无效	偶数	0.5tc(SPC)M - 3 0.5tc(SPC)M + 3		ns
			奇数	0.5tc(SPC)M - 0.5tc(LSPCLK) - 3 0.5tc(SPC)M - 0.5tc(LSPCLK) + 3		
高速模式						
4	td(SIMO)M	延迟时间，SPICLK 到SPISIMO 有效	偶数, 奇数			1 ns
		有效时间, 在 SPICLK 后 SPISIMO 有效	偶数	0.5tc(SPC)M - 3		

5	$t_v(\text{SIMO})_M$		奇数	$0.5t_c(\text{SPC})_M - 0.5t_c(\text{LSPCLK}) - 3$	ns
普通模式					
4	$t_d(\text{SIMO})_M$	延迟时间, SPICLK 到 SPISIMO 有效	偶数, 奇数		1 ns
5	$t_v(\text{SIMO})_M$	有效时间, 在 SPICLK 后 SPISIMO 有效	偶数	$0.5t_c(\text{SPC})_M - 3$	ns
			奇数	$0.5t_c(\text{SPC})_M - 0.5t_c(\text{LSPCLK}) - 3$	

(1) 当(SPIBRR + 1)为偶数或 SPIBRR 为 0 或 2 时, (BRR + 1)为偶数。当(SPIBRR + 1)为奇数且 SPIBRR 大于 3 时为奇数。

5.10.5.1.3 SPI主模式开关特性(时钟相位= 1)

理论设计指标 (除非另作说明)

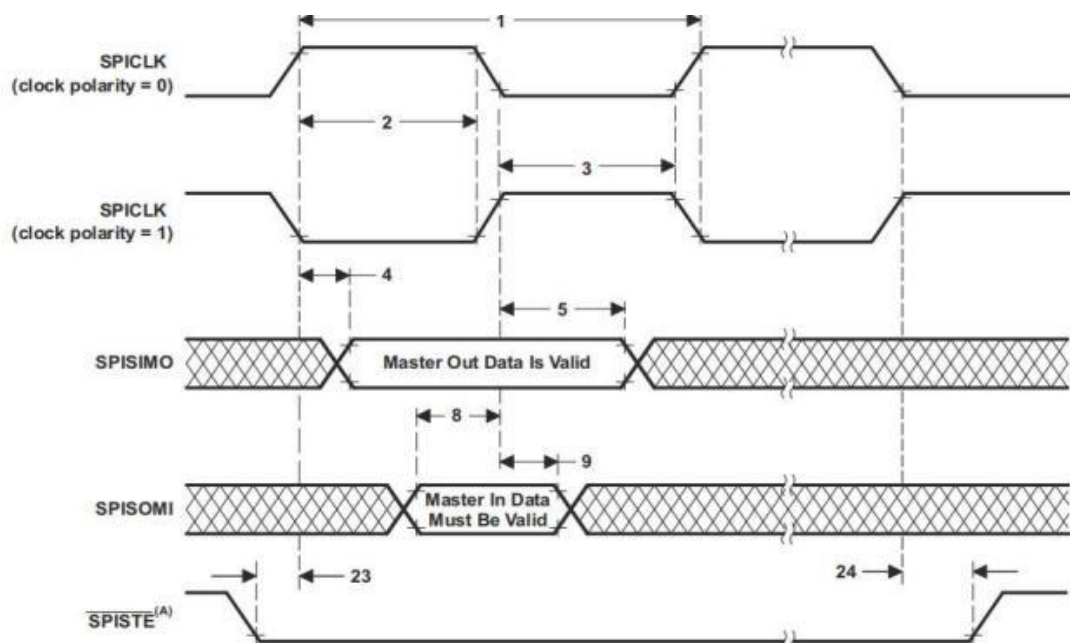
表 5- 42. SPI 主模式开关特性(时钟相位= 1)

NO.	参数		(BRR + 1)	最小	最大值	单位
通用						
1	$t_{\text{c}}(\text{SPC})_{\text{M}}$	周期时间, SPICLK	偶数	$4t_{\text{c}}(\text{LSPCLK})$ $128t_{\text{c}}(\text{LSPCLK})$		ns
			奇数	$5t_{\text{c}}(\text{LSPCLK})$ $127t_{\text{c}}(\text{LSPCLK})$		
2	$t_{\text{w}}(\text{SPCH})_{\text{M}}$	脉冲持续时间, SPICLK,第一脉冲	偶数	$0.5t_{\text{c}}(\text{SPC})_{\text{M}} - 1$	$0.5t_{\text{c}}(\text{SPC})_{\text{M}} + 1$	ns
			奇数	$0.5t_{\text{c}}(\text{SPC})_{\text{M}} - 1$ $0.5t_{\text{c}}(\text{LSPCLK}) - 1$ $0.5t_{\text{c}}(\text{SPC})_{\text{M}} - 1$ $0.5t_{\text{c}}(\text{LSPCLK}) + 1$		
3	$t_{\text{w}}(\text{SPC2})_{\text{M}}$	脉冲持续时间, SPICLK,第二脉冲	偶数	$0.5t_{\text{c}}(\text{SPC})_{\text{M}} - 1$	$0.5t_{\text{c}}(\text{SPC})_{\text{M}} + 1$	ns
			奇数	$0.5t_{\text{c}}(\text{SPC})_{\text{M}} + 1$ $0.5t_{\text{c}}(\text{LSPCLK}) - 1$ $0.5t_{\text{c}}(\text{SPC})_{\text{M}} + 1$ $0.5t_{\text{c}}(\text{LSPCLK}) + 1$		
23	$t_{\text{d}}(\text{SPC})_{\text{M}}$	延迟时间, $\overline{\text{SPISTE}}$ 到SPICLK 有效	偶数, 奇数	$2t_{\text{c}}(\text{SPC})_{\text{M}} - 3t_{\text{c}}(\text{SYSCLK}) - 3$	$2t_{\text{c}}(\text{SPC})_{\text{M}} - 3t_{\text{c}}(\text{SYSCLK}) + 2$	ns
24	$t_{\text{d}}(\text{STE})_{\text{M}}$	延迟时间, SPICLK 到 $\overline{\text{SPISTE}}$ 无效	偶数	-3 2		ns
			奇数	-3 2		
高速模式						
4	$t_{\text{d}}(\text{SIMO})_{\text{M}}$	延迟时间, SPISIMO 到 SPICLK 有效	偶数	$0.5t_{\text{c}}(\text{SPC})_{\text{M}} - 2$		ns
			奇数	$0.5t_{\text{c}}(\text{SPC})_{\text{M}} + 0.5t_{\text{c}}(\text{LSPCLK}) - 2$		
5	$t_{\text{v}}(\text{SIMO})_{\text{M}}$	有效时间, SPISIMO 在 SPICLK 后 SPISIMO 有效	偶数	$0.5t_{\text{c}}(\text{SPC})_{\text{M}} - 3$		ns
			奇数	$0.5t_{\text{c}}(\text{SPC})_{\text{M}} - 0.5t_{\text{c}}(\text{LSPCLK}) - 3$		
普通模式						
4	$t_{\text{d}}(\text{SIMO})_{\text{M}}$	延迟时间, SPISIMO 到 SPICLK 为有效	偶数	$0.5t_{\text{c}}(\text{SPC})_{\text{M}} - 2$		ns
			奇数	$0.5t_{\text{c}}(\text{SPC})_{\text{M}} + 0.5t_{\text{c}}(\text{LSPCLK}) - 2$		

5	$t_{v(SIMO)M}$	有效时间, 在 SPICLK 之后SPISIMO 有	偶数	$0.5t_{c(SPC)M} - 3$	ns
		效	奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	

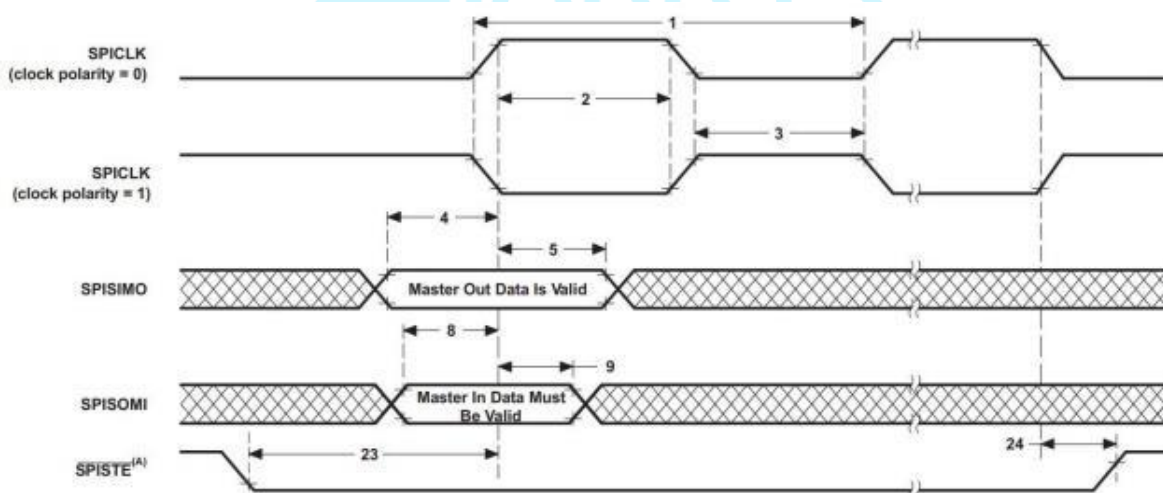
(1) 当(SPIBRR + 1)为偶数或 SPIBRR 为 0 或 2 时, (BRR + 1)为偶数。当(SPIBRR + 1)为奇数且 SPIBRR 大于 3 时为奇数。

5.10.5.1.4 SPI主模式时序图



A.在字段的尾端, 在 FIFO 和非 FIFO 模式下的除非连续发送字, $\overline{SP}STE$ 处于非活动状态。

图 5- 29. 主模式外部时序(时钟相位 = 0)



A.在字的尾端, 除了在 FIFO 和非 FIFO 模式下的背对背传输单词之间, SPISTE 将处于非活动状态。

图 5- 30. SPI 主模式外部时序 (时钟相位 = 1)

5.10.5 SPI从模式时序

下面的部分包含 SPI从模式时序。

章节 5.10.6.1.1 列出了 SPI 从模式时序要求。章节 5.10.6.1.2 列出了 SPI 从模式开关特性。时钟相位为 0 的 SPI从模式外部时序如图 5-54 所示。时钟相位为 1 的 SPI从模式外部时序如图5-55 所示。

5.10.6.1.1 SPI 从模式时序要求

表 5- 43. SPI 从模式时序要求

NO.	参数		最小值	最大值	单位
12	$t_{c(SPC)}S$	周期时间, SPICLK	$4t_{c(SYCLK)}$		ns
13	$t_{w(SPC1)}S$	脉冲持续时间, SPICLK, 第一脉冲	$2t_{c(SYCLK)} - 1$		ns
14	$t_{w(SPC2)}S$	脉冲持续时间, SPICLK, 第二脉冲	$2t_{c(SYCLK)} - 1$		ns
19	$t_{su(SIMO)}S$	建立时间, 在 SPICLK 之前SPISIMO 有效	$1.5t_{c(SYCLK)}$		ns
20	$t_{h(SIMO)}S$	保持时间, 在 SPICLK 之后SPISIMO 有效	$1.5t_{c(SYCLK)}$		ns
25	$t_{su(STE)}S$	建立时间, 在 SPICLK 之前SPISTE有效 (时钟相位 = 0)	$2t_{c(SYCLK)} + 3$		ns
		建立时间, 在 SPICLK 之前SPISTE 有效 (时钟相位 = 1)	$2t_{c(SYCLK)} + 23$		ns
26	$t_{h(STE)}S$	保持时间, 在 SPICLK 之后SPISTE 无效	$1.5t_{c(SYCLK)}$		ns

5.10.6.1.2 SPI 从模式开关特性

理论设计指标（除非另作说明）

表 5- 44. SPI 从模式开关特性

NO.	参数		最小值	最大值	单位
15	$t_{d(SOMI)}S$	延迟时间, SPICLK 到 SPISOMI 有效	12		ns
16	$t_{v(SOMI)}S$	有效时间, 在 SPICLK 之后 SPISOMI 有效	0		ns

5.10.6.1.3 SPI 从模式时序图

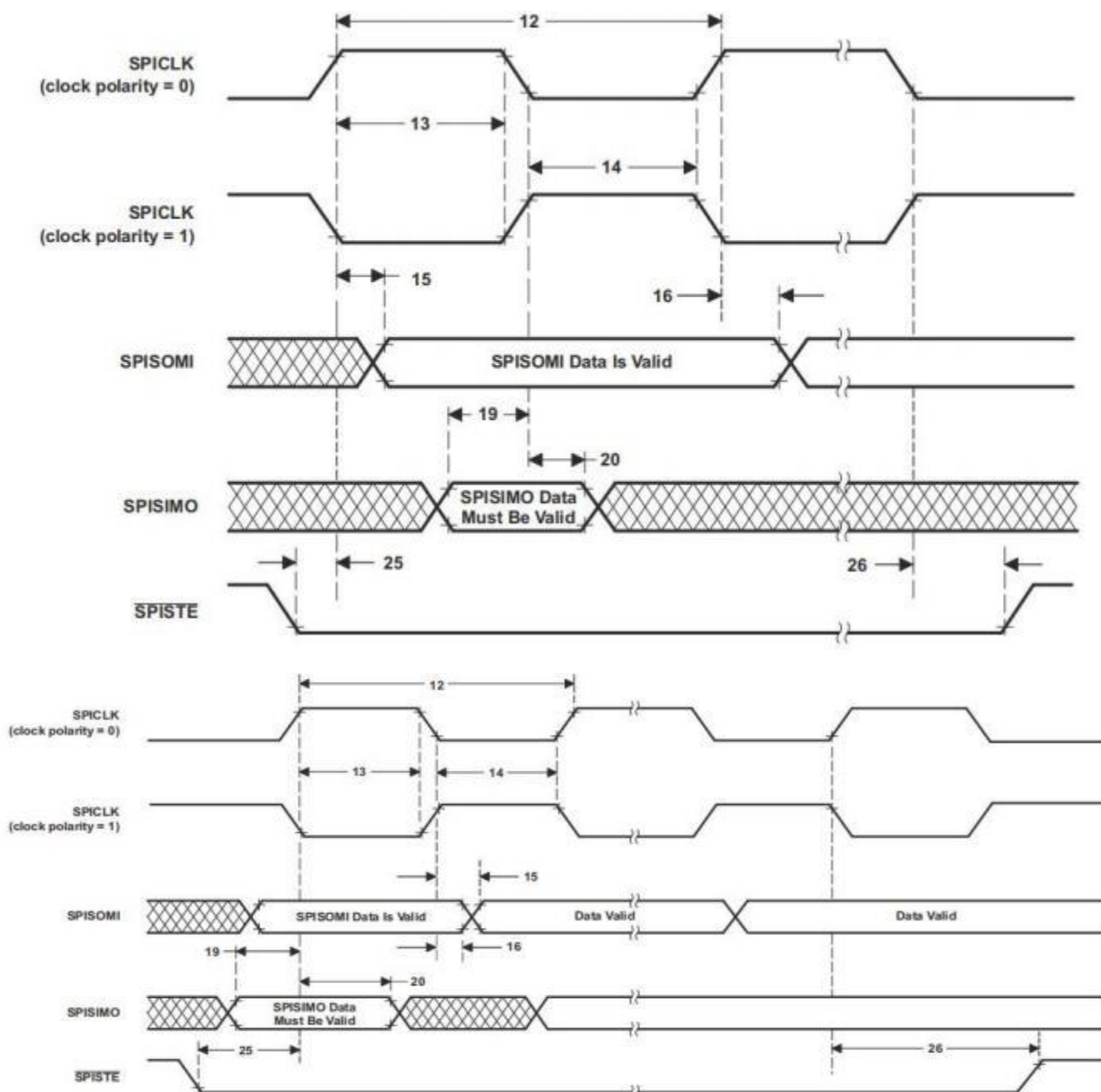


图 5- 31. SPI 从模式外部时序 (时钟相位 = 1)

5.10.6 本地互连网络(LIN)

LIN是用于汽车和工业应用中的本地互连网络（LIN）的独立控制器。LIN符合LIN 2.2A规范，并可选择与LIN 1.3兼容。DLIN允许在1 kbit/s和20 kbit/s之间进行串行传输。

LIN（Local Interconnect Network）是一种串行通信协议，旨在提供成本效益高的总线通信。LIN规范是由LIN联盟（<http://www.lin-subbus.org>）开发的。LIN标准包括传输介质的规范，开发工具之间的接口，传输协议以及软件编程接口。LIN被创建用于降低汽车网络的成本，在简单的应用（传感器或执行器）中取代了最昂贵的CAN。LIN设备可以实现为主节点或从节点。

LIN 模块具有以下特点：

- 符合LIN 2.2A和LIN 1.3规范
- 自动处理LIN报文头
- 自动重新同步
- 数据速率在1Kbit/s至20Kbit/s之间
- 主节点和从节点工作模式
- 超时检测
- 扩展错误检测
- 支持“Break-in-data”
- 唤醒检测
- 进入休眠检测
- 自动位率检测（在从节点模式下）
- 可用的系统接口包装器：
 - AMBA - APB / AHB / AXI Lite总线
 - Altera Avalon总线
 - Xilinx OPB总线

LIN 框图如图 5-56 所示。

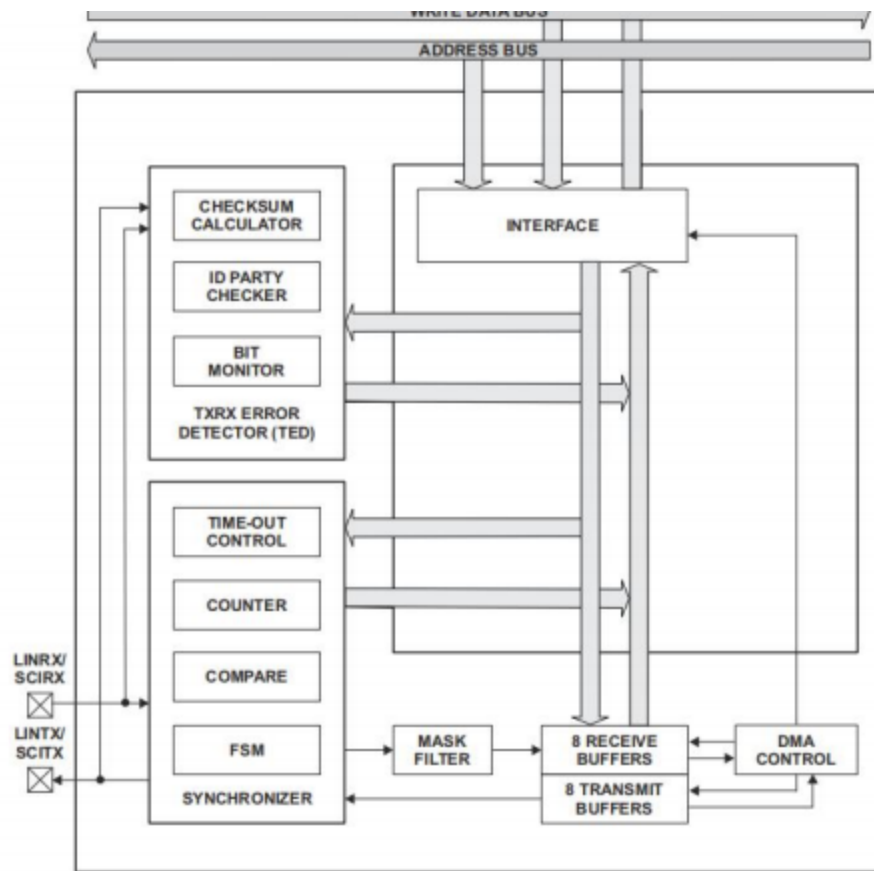


图 5-32. LIN框图



5.11 系统

5.11.1 电源管理

QXS320F28034可以配置为使用两种选项之一来提供所需的1.2 V到核心(VDD)

- 外部电源(56引脚封装配置不可用)
- 内部1.2 V LDO稳压器(VREG)

5.11.1.1 内部1.2 V LDO稳压器(VREG)

内部VREG由VDDIO提供,并产生为VDD引脚供电所需的1.2 V。通过将VREGENZ引脚拉低至VSS来启用此功能。较小的引脚数封装可能不包括VREGENZ引脚;因此,内部VREG总是启用的,因此,它是VDD引脚所需的电源源。查看表4-5中VREGENZ的描述来确定包的配置。虽然内部VREG消除了VDD使用外部电源的需要,但为了VREG的稳定性,每个VDD引脚上都需要去耦电容器。当使用内部VREG时,VDD导轨有两种推荐的电容器配置(如下所示)。VDD的信号说明如表4-4所示。

- 配置1:在尽可能靠近器件的每个引脚上放置一个小的VSS去耦电容。此外,必须在VDD节点上放置一个电容到VSS(一个10 μ F电容器)。
- 配置2:将VSS的总电容均匀分布在所有VDD引脚上(总电容除以4个VDD引脚)。

5.11.1.2 推荐的外部组件

表 5- 49

		最小值	典型值	最大值	单位
C _{VDDIO}	VDDIO的滤波电容		4.7		μ F
C _{VDDA}	VDDA引脚上的电容		4.7		μ F
C _{VDD}	VDD上滤波电容		10		μ F

5.11.1.3 电源排序

信号引脚要求:设备上电前,任何数字引脚不能加高于VDDIO+0.3 V的电压,任何模拟引脚(包括VREFHI)不能加高于VDDA+0.3 V的电压。

VDDIO、VDDIO_SW和VDDA要求:3.3 V电源VDDIO、VDDIO_SW和VDDA应一起上电,在功能运行时应保持彼此之间的电压不超过0.3 V。

VDD要求:当VREGENZ绑定到VSS时,VDD上电顺序由芯片内部自己决定。

当VDD使用外部源(VREGENZ与VDDIO绑定)时,VDDIO和VDD必须同时上电和下电。当VDD关闭时,不应该打开VDDIO。在坡道期间,VDD应保持在VDDIO上方不超过0.3 V。

5.11.1.4 上电复位(POR)

内部上电复位(POR)电路使设备处于复位状态，并在上电期间使I/O处于高阻抗状态。POR处于控制状态，并在内部强制XRSn低，直到VDDIO上的电压超过POR阈值。当电压超过POR阈值时，内部的BOR (brownout-reset)电路进行控制，使设备处于复位状态，直到电压超过BOR阈值(关于内部BOR的详细信息，请参见5.11.1.5)。

5.11.1.5 停电复位(BOR)

内部的BOR电路监视VDDIO导轨的电压下降，导致电源电压下降到工作范围之外。当VDDIO电压降至BOR阈值以下时，设备强制复位，XRSn被拉低。XRSn将保持复位状态，直到电压返回到工作范围。缺省情况下，启用BOR功能。要禁用BOR，请在VMONCTL寄存器中设置BORLVMONDIS位。内部的BOR电路只监控VDDIO轨道。有关BOR特性，请参见5.5节。外部电源电压监控器(SVS)设备可用于监控3.3 V和1.2 V导轨上的电压，并在电源超出操作规范时驱动XRSn降低。



5.11.2 时钟规范

5.11.2.1 时钟资源

表5-50列举了三个可以使用的时钟资源，图5-64为时钟系统，图5-65为锁相环系统。

表 5-50 可以使用的时钟资源

CLOCK SOURCE	MODULES CLOCKED	COMMENTS
INTOSC1	可以被用于： - 看门狗模块 - 作为PLL的参考时钟 - 作为CPU的时钟	内部振荡器1 无外部引脚的10Mhz振荡器
INTOSC2(1)	可以被用于： - 作为PLL的参考时钟 - 作为CPU的时钟	内部振荡器2 无外部引脚的10Mhz振荡器
X1 (XTAL)	可以被用于： - 作为PLL的参考时钟 - 作为CPU的时钟	外部晶体或谐振器连接在X1和X2引脚之间或单端时钟连接到X1引脚

(1) 复位时，内部振荡器2 (INTOSC2)是系统锁相环(OSCCLK)的默认时钟源。

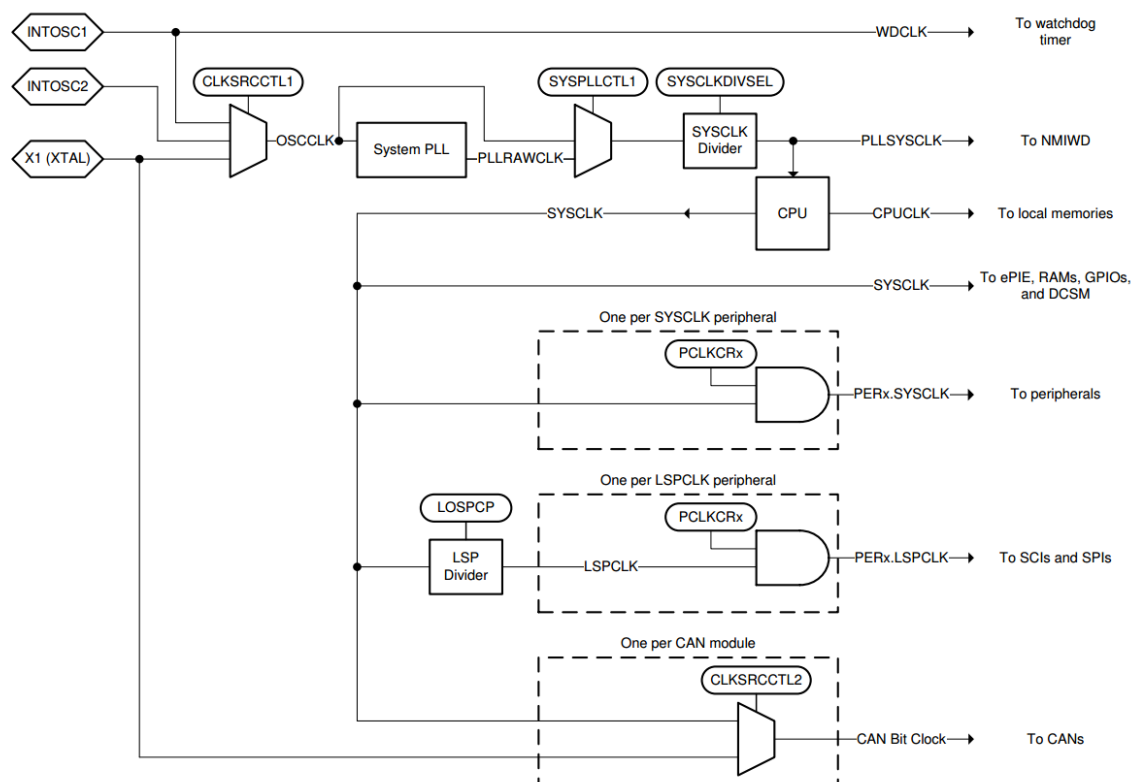


图5-64 系统时钟

5.11.2.2 时钟频率、要求和特性

介绍输入时钟的频率和定时要求、锁相环的锁相次数、内部时钟的频率要求以及输出时钟的频率和开关特性。

5.11.2.2.1 输入时钟频率和定时要求，锁相环锁定时间

输入时钟的频率要求请参见5.11.2.2.1.1。章节5.11.2.2.1.2列出了XTAL振荡器的特性。X1时序要求请参见5.11.2.2.1.3。章节5.11.2.2.1.4列出了主锁相环的锁相环时间。

5.11.2.2.1.1 输入时钟频率

	MIN	MAX	UNIT
$f_{(XTAL)}$ Frequency, X1/X2, from external crystal or resonator	10	20	MHz
$f_{(X1)}$ Frequency, X1, from external oscillator	2	20	MHz

5.11.2.2.1.2 XTAL振荡器特性

超过推荐的操作条件(除非另有说明)

	MIN	TYP	MAX	UNIT
X1 VIL Valid low-level input voltage	- 0.3		$0.3 * VDDIO$	V
X1 VIH Valid high-level input voltage	$0.7 * VDDIO$		$VDDIO + 0.3$	V

5.11.2.2.1.3 时间要求

	MIN	MAX	UNIT
$t_{f(X1)}$ Fall time, X1		6	ns
$t_{r(X1)}$ Rise time, X1		6	ns
$t_{w(X1L)}$ Pulse duration, X1 low as a percentage of $t_{c(X1)}$	45%	55%	
$t_{w(X1H)}$ Pulse duration, X1 high as a percentage of $t_{c(X1)}$	45%	55%	

5.11.2.2.1.4 锁相环锁定时间

	MIN NOM	MAX	UNIT
$t_{(PLL)}$ Lock time, Main PLL	$50\mu s + 5\mu s (t_{OSC_stable})$		μs

5.11.2.2.2 内部时钟频率

章节5.11.2.2.2.1给出了内部时钟的时钟频率。

5.11.2.2.2.1 内部时钟频率

	MIN	NOM	MAX	UNIT
$f_{(\text{SYSCLK})}$ Frequency, device (system) clock			120	MHz
$t_{\text{c}(\text{SYSCLK})}$ Period, device (system) clock	6.67			ns
$f_{(\text{VCO})}$ Frequency, VCO output clock	400		600	MHz
$f_{(\text{CLK}_Q)}$ Frequency, CLK_Q output frequency	26		600	MHz
$f_{(\text{CLK}_S)}$ Frequency, CLK_S output frequency	26		600	MHz
$f_{(\text{LSP})}$ Frequency, LSPCLK			120	MHz
$f_{(\text{HRPWM})}$ Frequency, HRPWMCLK	50		120	MHz
$f_{(\text{OSCCLK})}$ Frequency, OSCCLK (INTOSC1 or INTOSC2 or XTAL or X1)	See respective clock			MHz

5.11.2.3 外部输入时钟

除了内部振荡器外，还支持三种外部时钟源：

- 单端的3.3 v外部时钟，如图5 - 34：

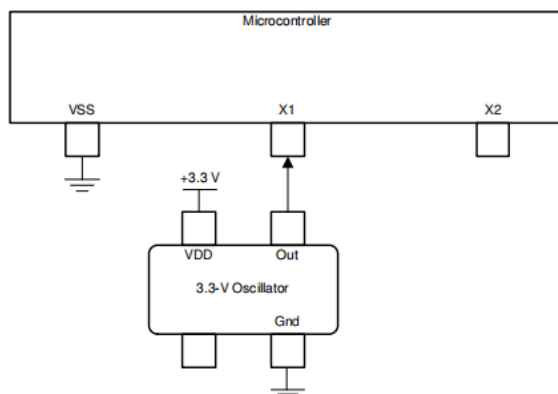


图5 - 34 单端的3.3 v外部时钟

- 外部晶振，如图5 - 35：

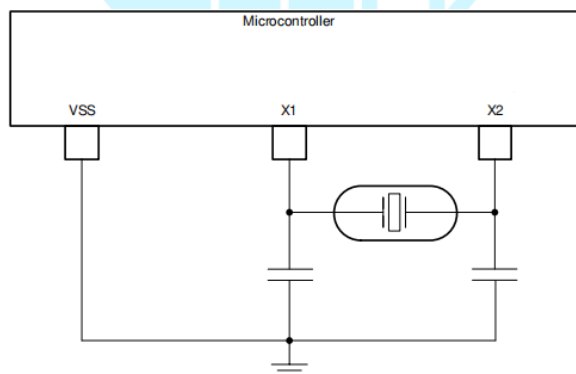


图5 - 35 外部晶振

- 外部谐振器，如图5 - 36:

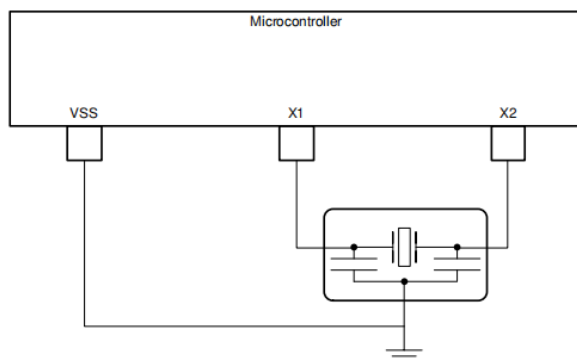


图5 - 36 外部谐振器

5.11.2.4 内部振荡器

为了降低生产板成本和应用程序开发时间，QXS320F28034包含两个独立的内部振荡器，称为INTOSC1和INTOSC2。默认情况下，两个振荡器在上电时都使能。设置INTOSC2为系统参考时钟(OSCCLK)源，设置INTOSC1为备份时钟源。INTOSC1也可以手动配置为系统参考时钟(OSCCLK)。

5.11.2.4.1 内部振荡器特性

超过推荐的操作条件(除非另有说明)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{INTOSC} Output clock frequency	Without trimming	7	10	13	MHz
	After trimming @ 25°C	9.8	10	10.2	MHz
f_{STEP} Output frequency adjust step			250		KHz
f_T Output frequency temperature coefficient	@ -40°C~85°C		±3		%
T_S OSC stabilization time				20	μs
D_{TC} Output Duty Cycle		45	50	55	%

6 详细描述

6.1 概述

QXS320F28034配备一个功能强大的32位浮点微控制器单元(MCU)，可让设计人员在单个器件上集成关键的控制外设、差分模拟和非易失性存储器。

实时控制子系统基于QX的32位C28xCPU，可提供120MHz的信号处理性能。QX C28xCPU的性能通过新的TMU扩展指令集得到了进一步提升，TMU扩展指令集可快速执行包含变换和扭矩环路计算中常见三角运算的算法。

QXS320F28034支持高达512KB的闪存和高达320KB的片上SRAM，支持闪存ECC、SRAMECC/奇偶校验和双区安全性。

QXS320F28034集成了高性能模拟块，以进一步支持系统整合。两个个独立的12位ADC可准确、高效地管理多个模拟信号，从而最终提高系统吞吐量。三个模拟比较器模块针对跳闸情况下的对输入电压电平进行连续监控。

QXS320F28034包含先进的控制外设(具有独立于频率的ePWM/HRPWM和eCAP)，可对系统进行出色的控制。

通过各种业界通用通信端口(如 SPI、SCI、I2C、LIN 和 CAN)支持连接，并且提供了多个多路复用选项，可在各种应用中实现出色的信号布局。



6.2 功能框图

CPU 系统及其外设如图 6-1 所示。

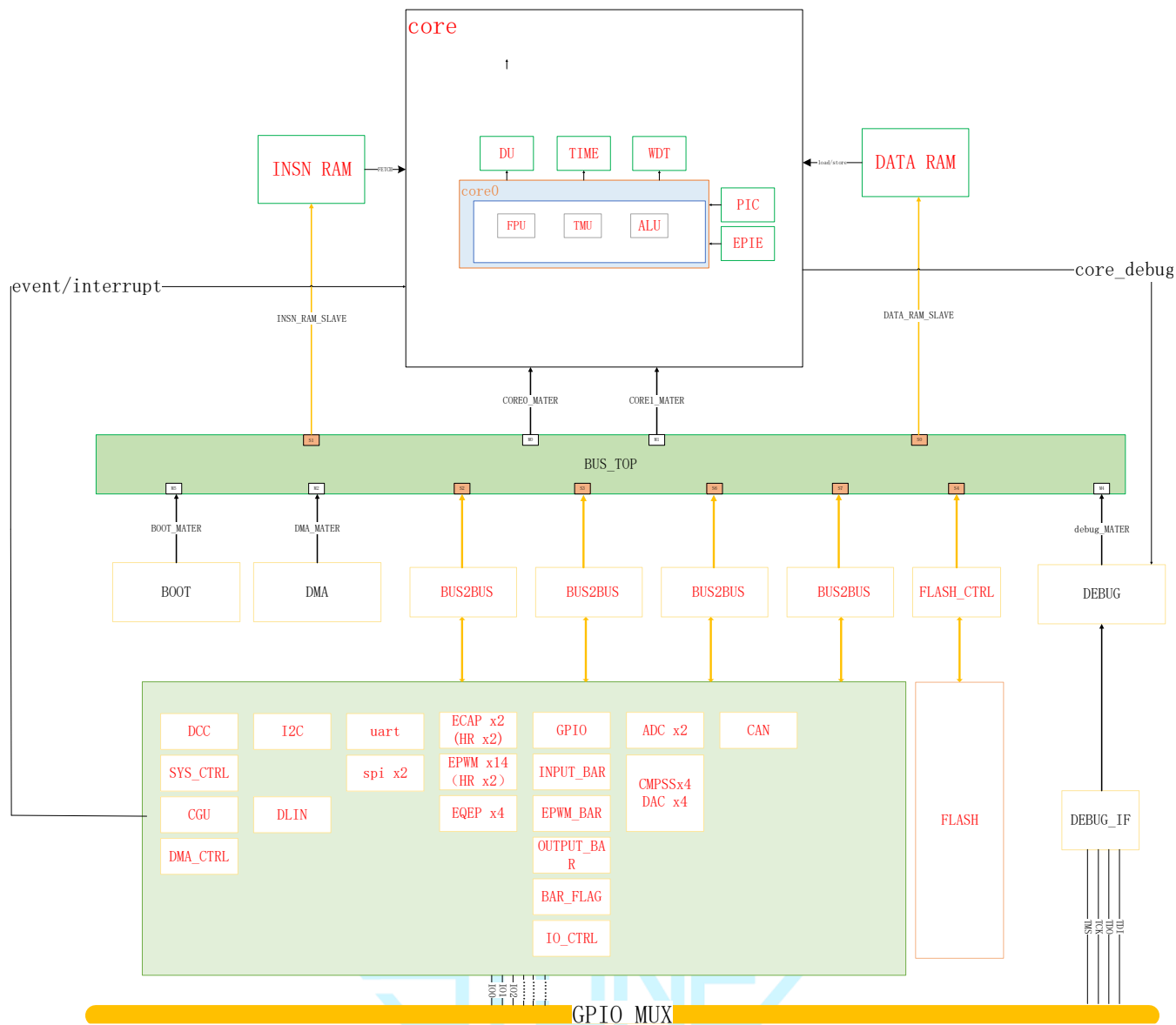


图 6-1. 功能框图

6.3 内存

6.3.1 内存映射

RAM	GS0 RAM	16KB	0x00000000	0x00003FFF	数据和指令共享存储区，4个bank共64KB大小，支持取指、存数、读数访问
	GS1 RAM	16KB	0x00004000	0x00007FFF	
	GS2 RAM	16KB	0x00008000	0x0000BFFF	
	GS3 RAM	16KB	0x0000C000	0x0000FFFF	
IRAM	GSIO RAM	256KB	0x00010000	0x0004FFFF	指令共享存储区，1个bank共256KB大小，支持CPU取指、总线读写访问
SRAM_BOOT	CPU0 BOOT RAM	8KB	0x00280000	0x00281FFF	CPU0 BOOT代码存放区
SPRS	PIECTRL	256B	0x007F0100	0x007F01FF	PIE中断控制器
	DEBUG	256B	0x007F0200	0x007F02FF	DEBUG调试
	TIMER0	20B	0x007F0300	0x007F0310	CPUTIMER0 定时器
	TIMER1	20B	0x007F0314	0x007F0324	CPUTIMER1 定时器
	TIMER2	20B	0x007F0328	0x007F0338	CPUTIMER2 定时器
	CR	256B	0x007F0400	0x007F04FF	控制寄存器
	GR	256B	0x007F0500	0x007F05FF	通用寄存器
	MOB	256B	0x007F0600	0x007F06FF	MOB寄存器
	EXP	256B	0x007F0700	0x007F07FF	异常处理控制器
	WD	256B	0x007F0800	0x007F08FF	看门狗寄存器
	VCU	256B	0x007F0B00	0x007F0BFF	VCU寄存器
	TRACE_BUFFER	256B	0x007F0C00	0x007F0CFF	TRACE_BUFFER寄存器
	WATCH_POINT	256B	0x007F0D00	0x007F0DFF	WATCHPOINT寄存器
	ECC	256B	0x007F0E00	0x007F0EFF	ECC寄存器
	ERAD_GLOBAL	256B	0x007F0F00	0x007F0FFF	ERAD_GLOBAL寄存器
	ERAD_HWBP1	256B	0x007F1000	0x007F10FF	ERAD_HWBP1寄存器
	ERAD_HWBP2	256B	0x007F1100	0x007F11FF	ERAD_HWBP2寄存器
	ERAD_HWBP3	256B	0x007F1200	0x007F12FF	ERAD_HWBP3寄存器
	ERAD_HWBP4	256B	0x007F1300	0x007F13FF	ERAD_HWBP4寄存器
	ERAD_HWBP5	256B	0x007F1400	0x007F14FF	ERAD_HWBP5寄存器
	ERAD_HWBP6	256B	0x007F1500	0x007F15FF	ERAD_HWBP6寄存器
	ERAD_HWBP7	256B	0x007F1600	0x007F16FF	ERAD_HWBP7寄存器
	ERAD_HWBP8	256B	0x007F1700	0x007F17FF	ERAD_HWBP8寄存器
	ERAD_COUNTER1	256B	0x007F1800	0x007F18FF	ERAD_COUNTER1寄存器

	ERAD_COUNTER2	256B	0x007F1900	0x007F19FF	ERAD_COUNTER2寄存器
	ERAD_COUNTER3	256B	0x007F1A00	0x007F1AFF	ERAD_COUNTER3寄存器
	ERAD_COUNTER4	256B	0x007F1B00	0x007F1BFF	ERAD_COUNTER4寄存器
PERIPHERAL	CLKCFG	4KB	0x01000000	0x01000FFF	CGU模块寄存器
	CPUSYS	432B	0x01001000	0x010011AF	SYSCTL模块寄存器
	DEVCFG	432B	0x01001000	0x010011AF	DEVCFG寄存器(和SYSCTL共享地址范围)
	XINT	80B	0x010011B0	0x010011FF	XINT寄存器
	NMIINTRUPT	256B	0x01001200	0x01012FFF	SYSCTL模块寄存器
	DCC0	4KB	0x01002000	0x01002FFF	DCC寄存器
	DMA	256B	0x01003000	0x010030FF	DMA寄存器
	DMACH1	256B	0x01003100	0x010031FF	DMACH1寄存器
	ANALOGSUBSYS	4KB	0x01004000	0x01004FFF	模拟子系统寄存器
	REGFILE	4KB	0x01005000	0x01005FFF	REGFILE寄存器
	DCSM_Z1	1KB	0x01006000	0x010063FF	DCSM_Z1寄存器
	DCSM_Z1_SHADOW	1KB	0x01006400	0x010067FF	DCSM_Z1_SHADOW影子寄存器
	DCSM_COMMON	4KB	0x01007000	0x01007FFF	DCSM_COMMON寄存器
	DCSM_Z2	1KB	0x01008000	0x010083FF	DCSM_Z2寄存器
	DCSM_Z2_SHADOW	1KB	0x01008400	0x010087FF	DCSM_Z2_SHADOW影子寄存器
	SYSERR	4KB	0x0100A000	0x0100AFFF	SYSERR寄存器
	ECAP1	128B	0x01010280	0x010102BF	ECAP1寄存器
	HRCAP1	64B	0x010102C0	0x010102FF	HRCAP1寄存器
	ECAP2	64B	0x01010300	0x0101033F	ECAP2寄存器
	HRCAP2	64B	0x01010340	0x0101037F	HRCAP2寄存器
	SYNCSOC	128B	0x01010380	0x010103FF	SYNCSOC寄存器
	SFO	128B	0x01010400	0x0101047F	HRPWM校准数据
	SFOHHR	128B	0x01010480	0x0101047F	HHRPWM校准数据
	EPWM1	512B	0x01012000	0x010121FF	EPWM1寄存器
	EPWM2	512B	0x01012200	0x010123FF	EPWM2寄存器
	EPWM3	512B	0x01012400	0x010125FF	EPWM3寄存器
	EPWM4	512B	0x01012600	0x010127FF	EPWM4寄存器
	EPWM5	512B	0x01012800	0x010129FF	EPWM5寄存器
	EPWM6	512B	0x01012A00	0x01012BFF	EPWM6寄存器
	EPWM7	512B	0x01012C00	0x01012DFF	EPWM7寄存器
	EQEP1	2KB	0x01014000	0x010147FF	EQEP1寄存器

	CMPSS1	256B	0x01016000	0x010160FF	CMPSS1寄存器
	CMPSS2	256B	0x01016100	0x010161FF	CMPSS2寄存器
	CMPSS3	256B	0x01016200	0x010162FF	CMPSS3寄存器
	CMPSS4	256B	0x01016300	0x010163FF	CMPSS4寄存器
	ADCARESULT	256B	0x01020110	0x010201FF	ADCARESULT寄存器
	ADCCRESULT	256B	0x01020510	0x010205FF	ADCCRESULT寄存器
	ADCA	256B	0x01030000	0x010300FF	ADCA寄存器
	ADCC	256B	0x01030400	0x010304FF	ADCC寄存器
	GPIONDATA	4KB	0x01040000	0x01040FFF	GPIO DATA寄存器
	GPIOCTRL	4KB	0x01050000	0x01050FFF	GPIO CTRL寄存器
	INPUTXBAR	4KB	0x01051000	0x01051FFF	INPUT_BAR寄存器
	OUTPUTXBAR	4KB	0x01052000	0x01052FFF	EPWM_BAR寄存器
	EPWMXBAR	4KB	0x01053000	0x01053FFF	OUTPUT_BAR寄存器
	XBAR	4KB	0x01054000	0x01054FFF	XBAR_FLAG寄存器
	SPIA	1KB	0x01060000	0x010603FF	SPIA寄存器
	SPIB	1KB	0x01061000	0x010613FF	SPIA寄存器
	LINA	4KB	0x01070000	0x01070FFF	LINA寄存器
	SCIA	4KB	0x01080000	0x01080FFF	SCIA寄存器
	CANA	4KB	0x01090000	0x01090FFF	CANA (CANFD) 寄存器
FLASH	FLASH0CTRL	4KB	0x010B0000	0x010B0FFF	FLASH0控制寄存器
	FLASH0DATA	512KB	0x30000000	0x301FFFFF	FLASH0数据寄存器
	FLASH0OTP1	1KB	0x30200000	0x302003FF	FLASH0 OTP数据寄存器
	FLASH0OTP2	1KB	0x30201000	0x302013FF	FLASH0 OTP数据寄存器

表 6-1. 内存映射

6.3.2 Flash 内存映射

在QXS320F28034设备上有一个闪存(512KB [128KW])可用。一次可以对一个Sector、Block、Chip进行编程或擦除操作。

在正在进行擦除/编程操作的 FLASH Bank 上不应进行任何访问。

FLASH的Page、Sector、Block、Chip关系如表所示。

Each device has	Each block has	Each sector has	
512K	64K	4K	Bytes
256	16		sectors
16			blocks

可分配的FLASH 扇区地址如表 6-2所示。

6.3.2.1 Flash 扇区地址

表 6- 3-1. FLASH OTP扇区地址

扇区	地址		
	大小	开始	结束
OTP 0 扇区			
FLASH00TP1	1KB	0x30200000	0x302003FF
FLASH00TP2	1KB	0x30201000	0x302013FF

表 6- 3-2. FLASH Block 地址

Block	Sector	Address range	
7	127	0x3007F000	0x3007FFFF
			
	112	0x30070000	0x300F0FFF
6	111	0x3006F000	0x3006FFFF
			
	96	0x30060000	0x300E0FFF
.....			
			
			
.....			
			
			
2	47	0x3002F000	0x3002FFFF
			
	32	0x30020000	0x30020FFF
1	31	0x3001F000	0x3001FFFF
			
	16	0x30010000	0x30010FFF
0	15	0x3000F000	0x3000FFFF
			
	0	0x30000000	0x30000FFF

6.3.3.2 外设寄存器内存映射

外设寄存器内存映射表如下：

表 6- 4. 外设寄存器内存映射表

寄存器	大小	起始地址	结束地址
CLKCFG	4KB	0x01000000	0x01000FFF
CPUSYS	432B	0x01001000	0x010011AF
DEVCFG	432B	0x01001000	0x010011AF
XINT	80B	0x010011B0	0x010011FF
NMIINTRUPT	256B	0x01001200	0x01012FFF
DCC0	4KB	0x01002000	0x01002FFF
DMA	256B	0x01003000	0x010030FF
DMACH1	256B	0x01003100	0x010031FF
ANALOGSUBSYS	4KB	0x01004000	0x01004FFF
REGFILE	4KB	0x01005000	0x01005FFF
DCSM_Z1	1KB	0x01006000	0x010063FF
DCSM_Z1_SHADOW	1KB	0x01006400	0x010067FF
DCSM_COMMON	4KB	0x01007000	0x01007FFF
DCSM_Z2	1KB	0x01008000	0x010083FF
DCSM_Z2_SHADOW	1KB	0x01008400	0x010087FF
SYSERR	4KB	0x0100A000	0x0100AFFF
ECAP1	128B	0x01010280	0x010102BF
HRCAP1	64B	0x010102C0	0x010102FF
ECAP2	64B	0x01010300	0x0101033F
HRCAP2	64B	0x01010340	0x0101037F
SYNCSOC	128B	0x01010380	0x010103FF
SFO	128B	0x01010400	0x0101047F
SFOHHR	128B	0x01010480	0x0101047F
EPWM1	512B	0x01012000	0x010121FF
EPWM2	512B	0x01012200	0x010123FF
EPWM3	512B	0x01012400	0x010125FF
EPWM4	512B	0x01012600	0x010127FF
EPWM5	512B	0x01012800	0x010129FF
EPWM6	512B	0x01012A00	0x01012BFF
EPWM7	512B	0x01012C00	0x01012DFF

EQEP1	2KB	0x01014000	0x010147FF
CMPSS1	256B	0x01016000	0x010160FF
CMPSS2	256B	0x01016100	0x010161FF
CMPSS3	256B	0x01016200	0x010162FF
CMPSS4	256B	0x01016300	0x010163FF
ADCARESLT	256B	0x01020110	0x010201FF
ADCCRESLT	256B	0x01020510	0x010205FF
ADCA	256B	0x01030000	0x010300FF
ADCC	256B	0x01030400	0x010304FF
GPIODATA	4KB	0x01040000	0x01040FFF
GPIOCTRL	4KB	0x01050000	0x01050FFF
INPUTXBAR	4KB	0x01051000	0x01051FFF
OUTPUTXBAR	4KB	0x01052000	0x01052FFF
EPWMXBAR	4KB	0x01053000	0x01053FFF
XBAR	4KB	0x01054000	0x01054FFF
SPIA	1KB	0x01060000	0x010603FF
SPIB	1KB	0x01061000	0x010613FF
LINA	4KB	0x01070000	0x01070FFF
SCIA	4KB	0x01080000	0x01080FFF
I2CA	4KB	0x01083000	0x01083FFF
CANA	4KB	0x01090000	0x01090FFF
FLASHOCTRL	4KB	0x010B0000	0x010B0FFF
FLASHODATA	512KB	0x30000000	0x3007FFFF
FLASH00TP1	1KB	0x30200000	0x302003FF
FLASH00TP2	1KB	0x30201000	0x302013FF

6.3.3 存储器类型

6.3.3.1 CPU共享数据 RAM (GSDx RAM)

CPU 子系统有三个支持 ECC 功能的数据RAM。

6.3.3.3 CPU共享指令RAM (GSIx RAM)

CPU 子系统有三个支持 ECC 功能的指令RAM。

6.3.3.4 CPU共享指令RAM (BOOT RAM)

CPU的BOOT代码存放区。

6.4 总线架构-外设连接

外设连接表列出了每条总线访问外设和配置寄存器。

表 6. 外设连接

外设	DMA	CPU
CPU 计时器	是	是
系统配置 (WD、NMIWD、LPM、外设时钟门控)		是
器件功能、外设复位	是	是
时钟和PLL配置	是	是
闪存配置	是	是
复位配置	是	是
GPIO 引脚映射和配置	是	是
GPIO 数据	是	是
DMA触发源选择	是	是
ePWM/HRPWM	是	是
eCAP/HRCAP	是	是
eQEP	是	是
模拟系统控制	是	是
外设	DMA	CPU
ADC 配置	是	是
ADC 结果	是	是
CMPSS	是	是
CAN	是	是
SPI1	是	是
I2C	是	Y
SCI	是	Y
LIN	是	是

6.5 C28x 处理器

6.5.1 介绍

CPU 为具有自主知识产权的高性能低功耗32 位浮点处理器,采用了数字信号处理最佳特性；精简指令集计算 (RISC)；以及微控制器架构、 固件和工具集。以及微控制器架构、固件和工具集。

6.5.2 特点

处理器是一款具有自主知识产权的高性能低功耗数字信号处理器芯片。“高性能”是以、超长指令字（VLIW）技术和硬件循环（hardware loop）技术为基础，通过对各模块功能的细分和优化来实现的。同时基于对移动多媒体领域应用的分析，精确定义指令集，提高应用程序的代码密度、减少程序执行周期数以降低总能耗。微控制器特性包括易懂易用的指令集、字节打包和解包以及位操作。改进型哈佛体系架构的 CPU 可实现指令和数据的并行获取。CPU 可以在读取指令和数据的同时写入数据， 以维持流水线中的单周期指令操作。

完整的处理器主要包含了DSP内核、片上存储器（I-MEM、D-MEM）、直接存储访问模块（DMA）、对外接口（SPI、I2C、GPIO、CAN等）和调试模块（Debug）。

6.5.3 浮点单元(FPU)

C28x 加浮点 (C28x+FPU) 处理器通过增加支持 IEEE 单精度浮点运算的寄存器和指令来扩展 C28x 定点 CPU 的功能。

具有 C28x+FPU 的器件包含标准 C28x 寄存器集以及一组额外的浮点单元寄存器。额外的浮点单元寄存器如下：

八个浮点结果寄存器，RnH（其中 n=0–7）

浮点状态寄存器 (STF)

重复块寄存器 (RB)

除 RB 寄存器外，所有浮点寄存器都采用影子化技术。这种影子化可用于高优先级中断，以实现浮点寄存器的快速上下文保存和恢复。

6.5.4 三角数学单元(TMU)

三角函数数学单元（TMU）通过添加指令和利用现有 FPU 指令来扩展H28x+FPU 的功能，加速执行常见三角函数和下表中所列算术运算。

表 TMU支持的指令

指令	C 等效运算	流水线周期
MPY2PIF32 Rd, Rs	$a = b * 2\pi$	2/3
DIV2PIF32 Rd, Rs	$a = b / 2\pi$	2/3
FSSQRT Rd, Rs	$a = \text{sqrt}(b)$	7
SINPUF32 Rd, Rs	$a = \sin(b*2\pi)$	5
COSPUF32 Rd, Rs	$a = \cos(b*2\pi)$	5
ATANPUF32 Rd, Rs	$a = \text{atan}(b)/2\pi$	5
QUADF Rd, Rs, Rt	用于协助计算 ATANPU2 的运算	8

TMU单元没有对现有指令、流水线或内存总线架构进行任何更改。所有 TMU 指令都使用现有的 FPU 寄存器集。



6.6 直接内存访问(DMA)

DMA 模块提供了一种硬件方法，可以在外设和/或内存之间传输数据，而不需要 CPU 的干预，从而为其他系统功能释放带宽。此外，DMA 具有在传输数据时对数据进行正交重新排列的能力，以及缓冲区之间的“乒乓”数据。这些特性有助于优化 CPU 进程，将数据结构化成块。DMA 的设备级框图如图 6-1 所示。

DMA 特性包括：

- 两个具有独立 PIE 中断的通道
- 外设DMA触发源
 - ADC 中断和 EVT 信号
 - 外部中断
 - ePWM SOC 信号
 - CPU 计时器
 - eCAP
 - SPI 发送和接收
 - SPI 发送和接收
- 数据源和目标：
 - GSx RAM
 - ADC 结果寄存器
 - 控制外设寄存器（ePWM、eQEP、eCAP）
 - DAC
 - SPI
- 字大小：8位、16 位或 32 位
- 数据率：每个字十五个周期，8深度FIFO，无需仲裁

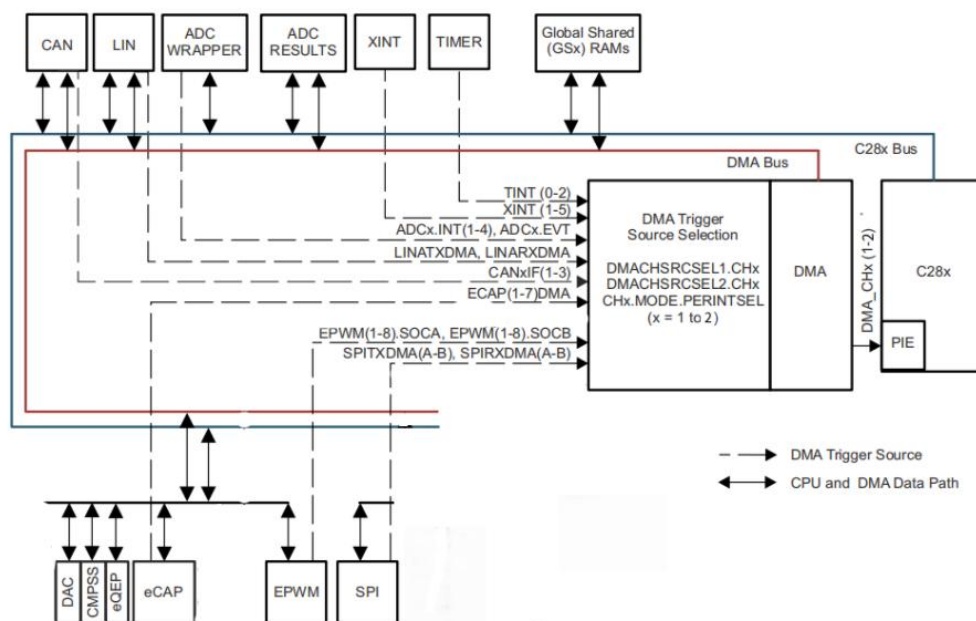


图 6-1. DMA 框图

6.9 双时钟比较器 (DCC)

双时钟比较器模块用于基于第二个时钟评估和监控时钟输入，第二个时钟可以是更准确可靠的版本。此仪表用于检测时钟源或时钟结构中的故障，从而提高系统的安全性指标。

6.9.1 特点

DCC 有以下特点：

- 允许应用程序在两个时钟信号的频率之间保持固定的比例。
- 支持根据参考时钟周期的数量定义可编程公差窗口。
- 支持连续监控，不需要应用程序干预。
- 支持点测的单序列模式。
- 允许为每个计数器选择一个时钟源，从而产生不同的特定的情况。

6.9.2 DCCx(DCC0 and DCC1) 时钟源输入映射

表 6- 15. DCCx 时钟源 0

DCCxCLKSRC0[3:0]	CLOCK 名称
0x0	XTAL
0x1	INTOSC1
0x2	INTOSC2
others	保留

表 6- 16. DCCx 时钟源 1

DCCxCLKSRC1[3:0]	CLOCK 名称
0x0	PLLRAWCLK
others	保留

7 开发支持

7.1 集成开发环境QX-IDE

用户可以在“QXDSPC2000系列-开发工具链”的发布地址（如下），下载QX-IDE。

1. https://pan.baidu.com/s/1bfo-FDc_qO7cY8KOFM-vMg 提取码: qide
2. <https://pan.quark.cn/s/a4fccb17121f> 提取码: B6Kg

QX-IDE的安装和使用方法参考“QX-IDE_User_Manual.pdf”。



图 1: QX-IDE欢迎界面

7.2 仿真器

7.2.1 简介

QXS320f 3槽DSP的仿真环境如图 所示，包括

- (1) 宿主机：执行调试命令、显示目标机状态
- (2) 目标机：被调试设备
- (3) 接口卡：FT2232HL，负责USB/JTAG接口及协议转换

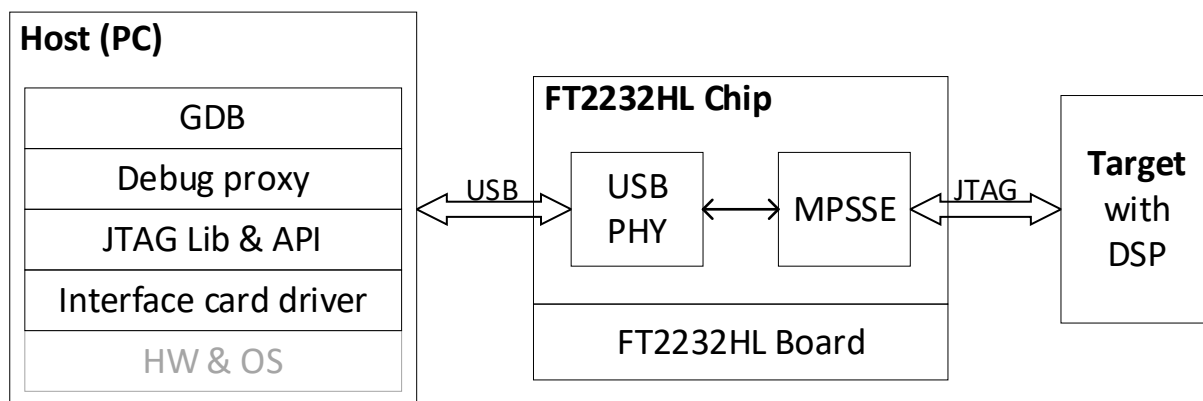


图 1：基本结构

7.2.2 结构

7.2.2.1 宿主机

与DSP仿真相关的宿主机软件结构如图 所示。

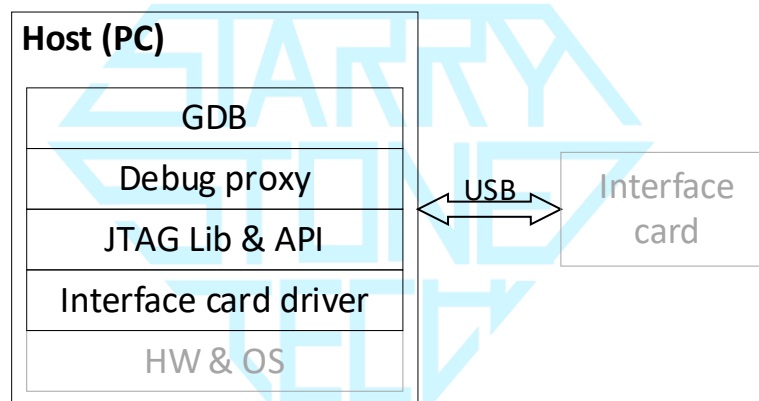


图 2：宿主机软件结构

宿主机通过USB接口和接口卡连接，并包含以下部分

- 1) 接口卡驱动：使宿主机能够通过接口卡收发数据
- 2) JTAG Lib和API：接口卡组件，针对接口卡在USB/JTAG工作模式的函数库及应用程序接口
- 3) GDB：基于GNU Debugger为DSP定制的调试器
- 4) 调试代理：通过调用JTAG API进行JTAG接口配置，以及GDB和JTAG API之间的消息转发。

GDB发出的调试命令被调试代理转换成对应的JTAG API调用，接口卡返回的消息被调试代理转换为对应的GDB packet发送给GDB

7.2.2.2 目标机

目标机通过JTAG接口和接口卡连接。

7.2.2.3 接口卡

宿主机和目标机的连接、通讯需借助接口卡以进行USB和JTAG接口及协议的相互转换。接口卡的逻辑结构如图 所示。

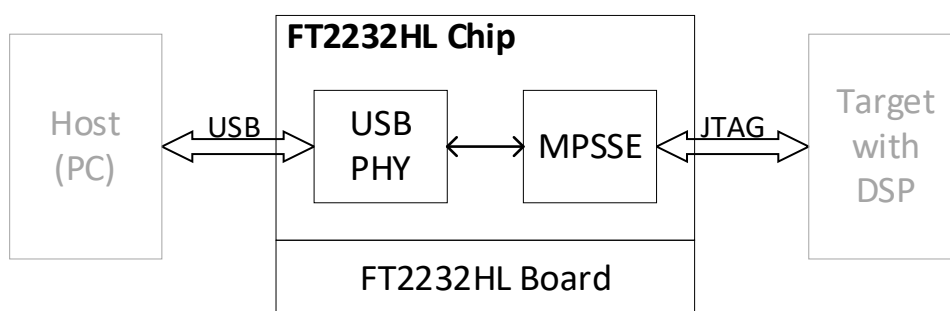
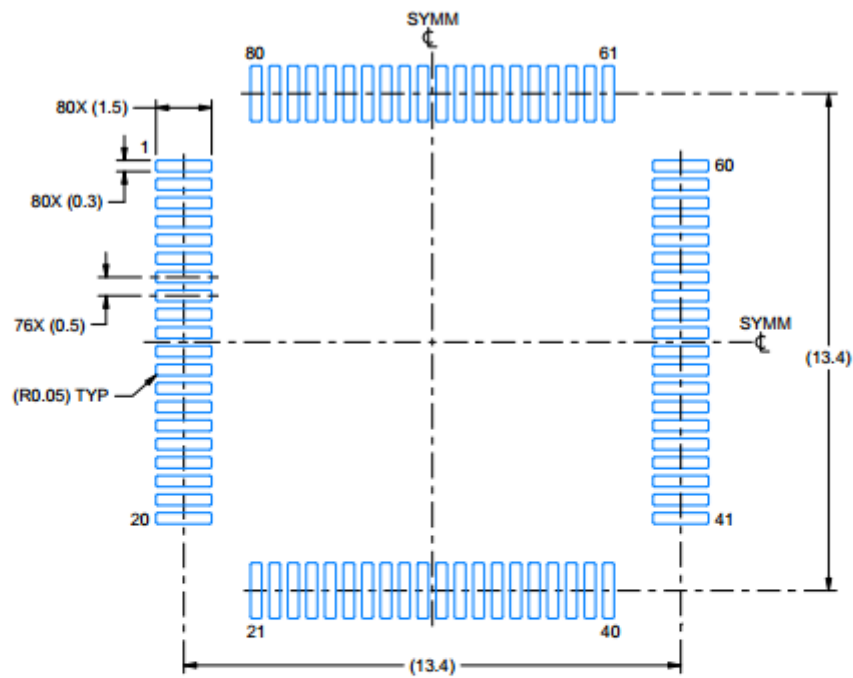


图 3：接口卡逻辑结构

接口卡采用[FTDI公司](#)的[FT2232HL芯片](#)。该芯片一边固定为USB 2.0的物理层和宿主机连接；另一边是可配置的UART/FIFO接口。

在当前的DSP仿真场景，该接口配置成MPSSE（Multi-Protocol Synchronous Serial Engine），作为JTAG接口和目标机连接。

8.1 LQFP80 PIN

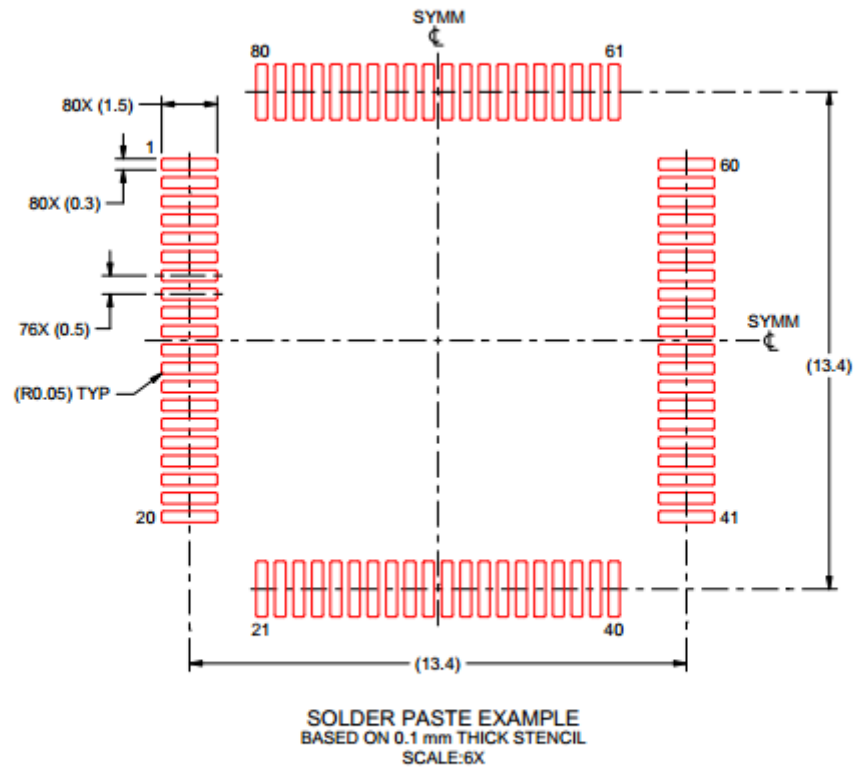


LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

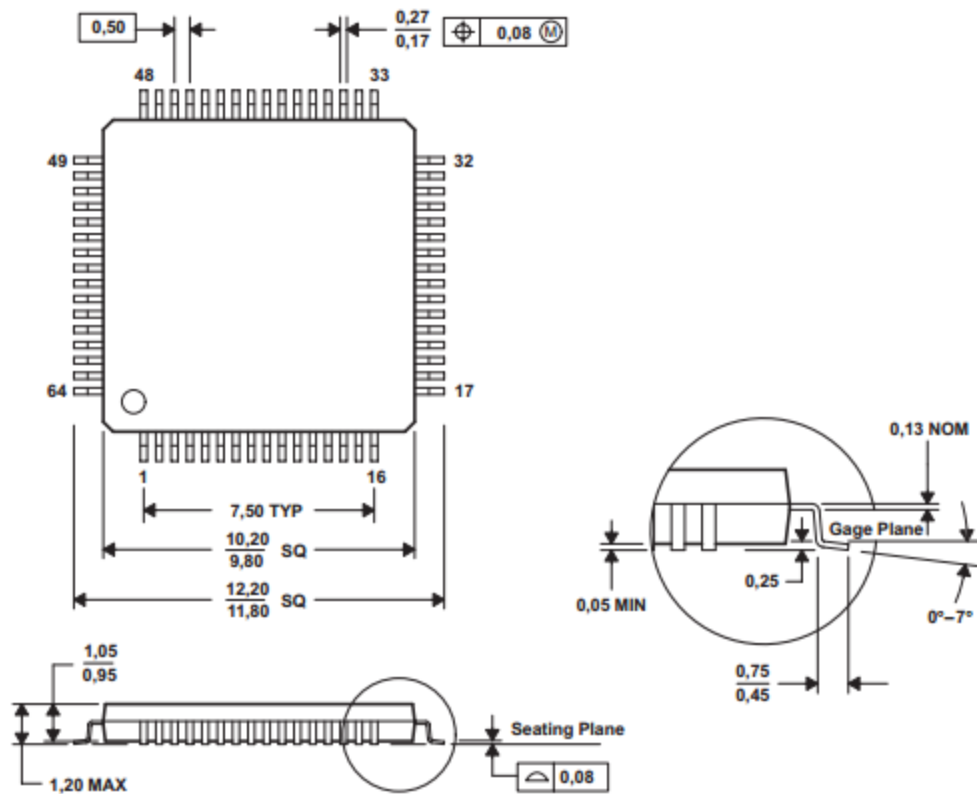


SOLDER MASK DETAILS



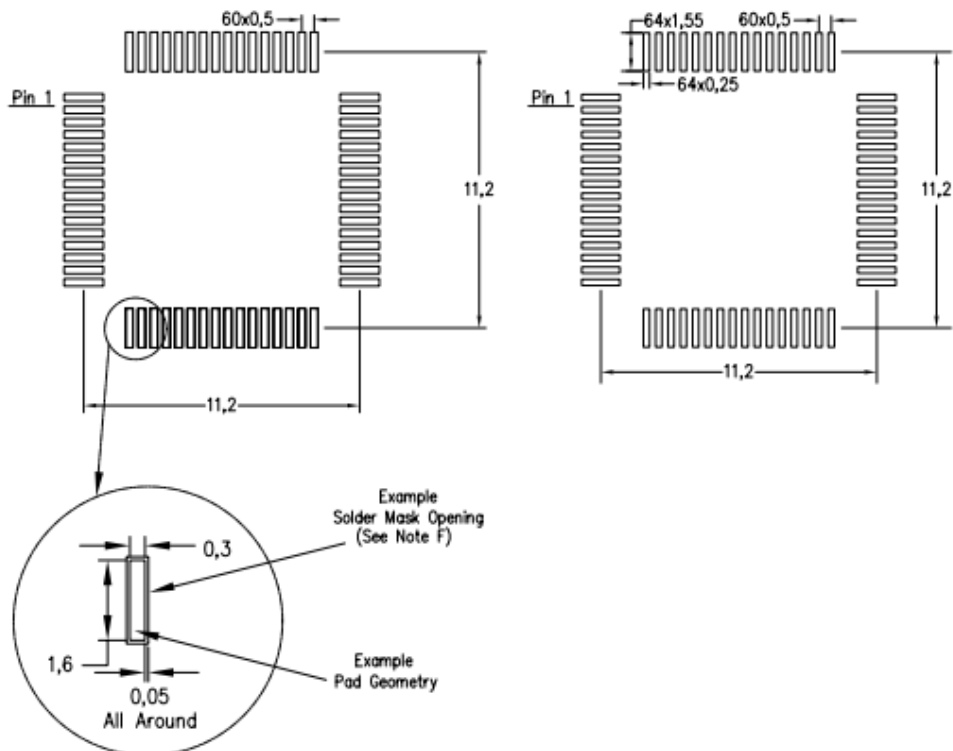


8.2 TQFP64 PIN



Example Board Layout

Stencil Openings
Based on a stencil thickness
of .127mm (.005inch).



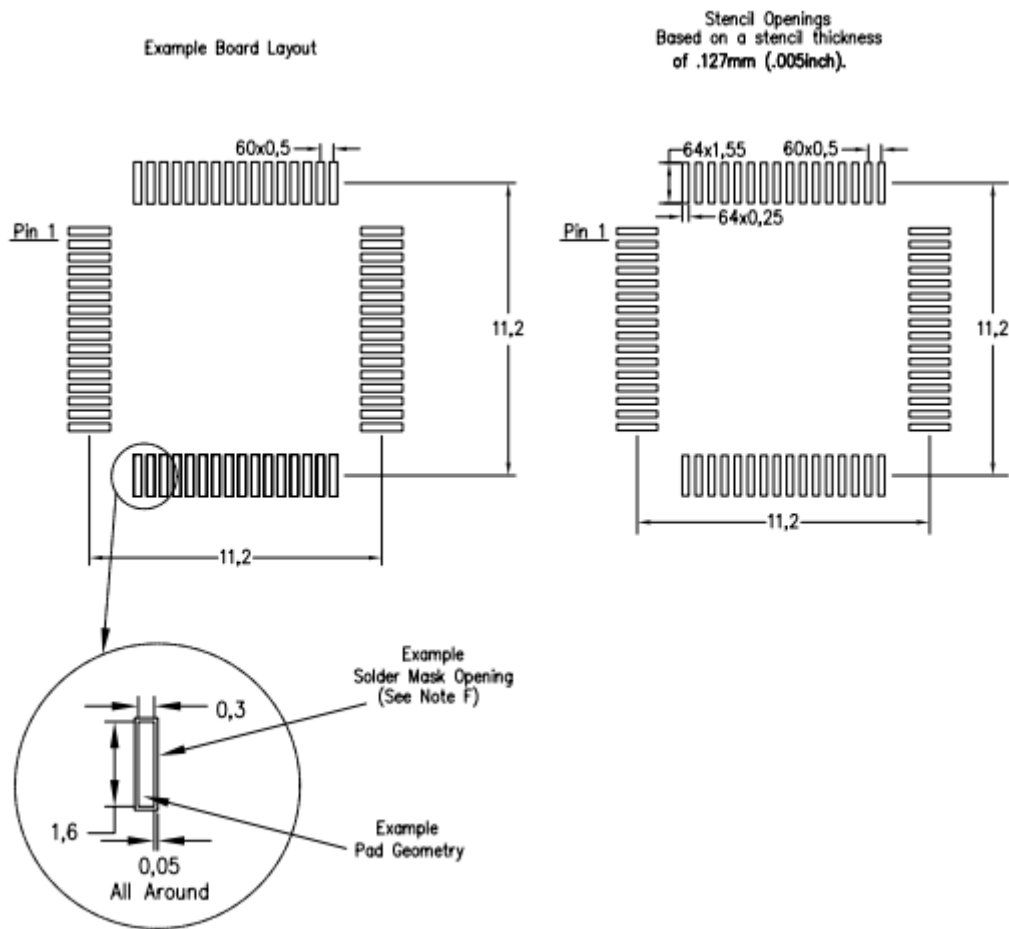
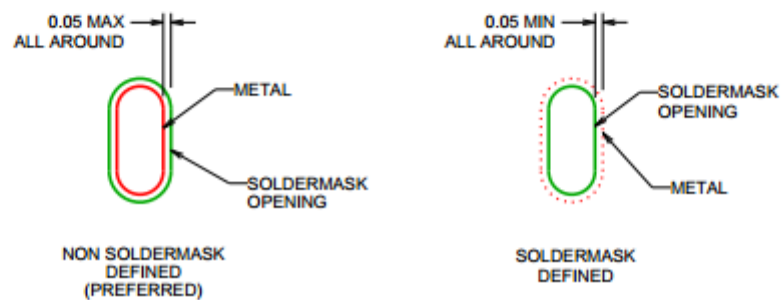
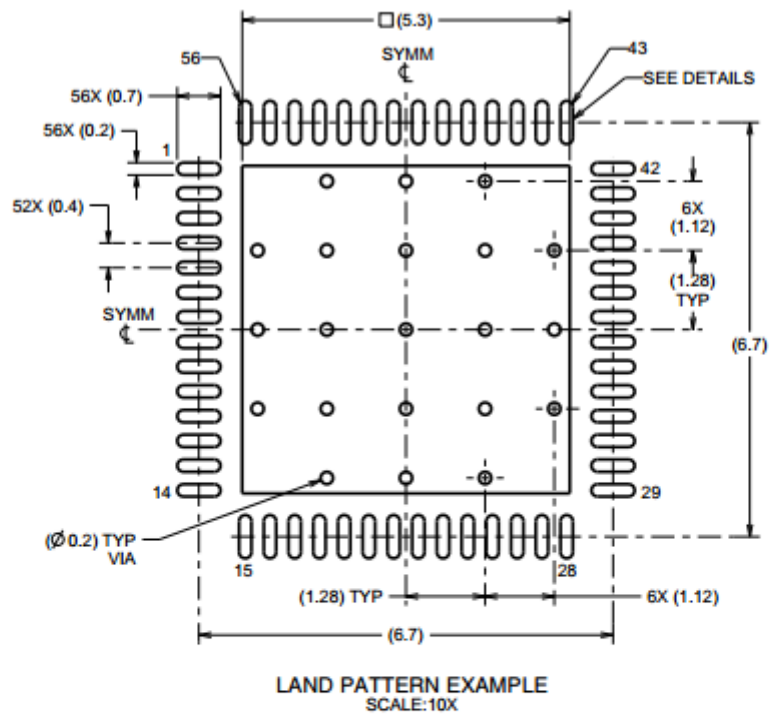


Figure 1: Mechanical drawing of the package showing top, side, and detail views. The top view shows a square package with dimensions 7.15 (max) x 7.15 (max) and 6.85 (min) x 6.85 (min). A shaded area indicates the PIN 1 INDEX AREA. The side view shows a maximum height of 1.00 and a seating plane with a 0.05 (max) / 0.00 (min) gap. The detail view shows a square pad with dimensions 5.3 ± 0.1, 15, 28, 14, 29, 42, 56, 43, 1, and 52X 0.4. It also shows a 4X 5.2 feature and a PIN 1 ID (OPTIONAL) feature. A table of dimensions is provided at the bottom right.

0.1	M	C	A(S)	B(S)
0.05	M	C		



SOLDERMASK DETAILS

9 订货信息

9.1 封装信息

表 9-1.封装信息

产品型号	芯片版本	封装系列	封装类型	管脚数	每tray芯片数量	环保标准	引线镀层/球材料	湿敏等级和最大耐焊接温度	工作温度
QXS320F28034PZS	EDB	VQFN	PN	80	90	Green (RoHS&无卤)	Sn	Level-3-260C-168HR (3级-小于或等于 260° C-168 小时车间寿命)	-40° C 至 125° C
QXS320F28034PMS	EDB	TQFP	PAG	64		Green (RoHS&无卤)	Sn	Level-3-260C-168HR (3级-小于或等于 260° C-168 小时车间寿命)	-40° C 至 125° C
QXS320F28034RSHS	EDB	VQFN	RSH	56		Green (RoHS&无卤)	Sn	Level-3-260C-168HR (3级-小于或等于 260° C-168 小时车间寿命)	-40° C 至 125° C

9.2 托盘信息

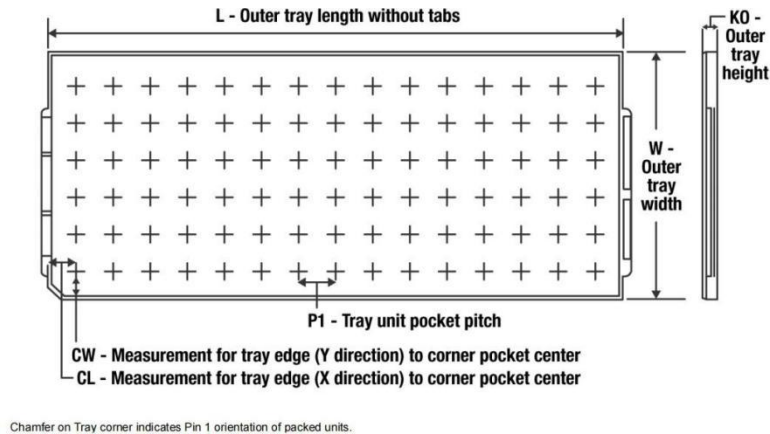


表 9- 2. 托盘信息(要确认)

产品型号	芯片版本	封装系列	封装类型	管脚数	最小包装数量	行x列	最高温度	L (mm) 长度	W (mm) 宽度	K0 (mm) 高度	P1 (mm)	CL (mm)	CW (mm)	芯片第1脚标识点
QXS320F28034PZ	EDB	LQFP	PN	80	90	6×15	150	315	135.9	7.620	20.3	15.45	15.4	左下角
QXS320F28034PPAG	EDB	TQFP	PAG	64										
QXS320F28034RSHS	EDB	VQFN	RSH	56										

9.3 包装盒尺寸



表 9-3. 包装盒尺寸

产品型号	芯片版本	封装系列	封装类型	管脚数	最小包装数量	Length(mm) 长度	Width(mm) 宽度	Height(mm) 高度
QXS320F28034PZ	EDB	LQFP	PZ	80	900	370	150	88
QXS320F28034PAG	EDB	TQFP	PAG	64				
QXS320F28034RSHS	EDB	VQFN	RSH	56				

9.4 封装概览



关于乾芯科技

合肥乾芯科技有限公司是一家专业研发各类处理器芯片及IP软核的企业。我们核心产品是以数字信号处理器（DSP）为主，以微控制器（MCU）等产品为外延的处理器系列产品，主要面向数字电源、电机控制、光伏逆变器控制等领域。

公司核心研发团队由工业界知名专家组成，研发设计处理器芯片数十年，具有丰富的研发经验；核心团队成员曾成功大规模量产过多款芯片，研制的各类处理器芯片均达到国际一流技术水平。是国内为数不多的具备涵盖处理器体系结构定义、逻辑设计、物理实现到 GDS 生成全流程，以及工具链、配套函数库和集成开发环境全方位研发能力的团队。

我们的优势在于从指令集到内核微架构再到完整工具链均为自主研发。公司目前已拥有多项发明专利和软著，对核心技术建立专利池并形成完整知识产权保护链。

。

联系方式

公司网址: www.starrystonetech.com

联系邮箱: qx001@starrystonetech.com

联系电话: 0551-68168580

公司地址: 安徽合肥高新区创业产业园2期F1栋21楼