QXS320F28335数字信号控制器

数据手册

v1.2

合肥乾芯科技有限公司

表 1：版本历史

版本号	修订日期	修订内容
1.0	2024.10.12	初稿
1.1	2024.10.22	添加外部晶振最高频率说明
1.2	2024.11.21	更新订货信息

目 录

1 特性 7
2 应用 8
3 说明 9
3.1 功能框图 10
3.2 器件特性 11
3.3 产品编码 12
4 终端配置与功能 13
4.1 引脚图 13
4.2 引脚说明 14
4.3 信号描述 17
4.3.1 模拟信号 25
4.3.2 数字信号 27
4.3.3 电源与接地 35
4.3.4 测试,JTAG 与复位 37
4.4 GPIO 38
4.4.1 GPIO 复用引脚表 38
4.4.2 GPIO 输入 X-BAR 40
4.4.3 GPIO 输出 X-BAR 和 ePWM X-BAR 42
4.5 GPIO 引脚内部上拉/下拉 43
4.6 未使用引脚的连接 44
5 规格 44
5.1 绝对最大值范围 44
5.2 产品 ESD 范围 45
5.3 推荐工作条件 46
5.4 耗电概述 47
5.4.1 系统电流消耗（外部电源） 47
5.4.2 工作模式测试描述 48
5.4.3 减少电流消耗 49

5.4.4 减少电流消耗 50
5.5 电气特性 52
5.6 热阻特征 53
5.6.1 PK 封装的热阻特性 53
5.6.2 PZ 封装的热阻特性 54
5.6.3 PM 封装的热阻特性 55
5.6.4 RSH 封装的热阻特性 56
5.7 散热设计注意事项 57
5.8 模拟外设 58
5.8.1 模数转换器（ADC） 64
5.8.1.1 未使用ADC连接 66
5.8.1.2 ADC Registers 66
5.8.1.3 ADC电气特性 68
5.8.2 温度传感器 69
5.8.2.1 温度传感器电气数据和时序 69
5.9 控制外设 70
5.9.1 增强型捕获(eCAP) 70
5.9.1.1 eCAP电气数据和时序 72
5.9.2 增强脉冲宽度调制(ePWM) 74
5.9.2.1 控制外设同步 76
5.9.2.2 ePWM电气数据和时序 76
5.9.2.3 外部ADC转换脉冲开始的电气数据和时序 78
5.9.3 高分辨率脉冲宽度调制器(HRPWM) 79
5.9.3.1 HRPWM 电气数据和时序 79
5.9.4 增强型正交编码器脉冲(eQEP) 80
5.9.4.1 eQEP电气数据和时序 81
5.10 通信外设 82
5.10.1 控制局域网络(CAN) 82
5.10.2 内置集成电路(I2C) 84
5.10.2.1 I2C电气数据和时序 87

5.10.3 串行通信接口(SCI) 91
5.10.4 串行外设接口(SPI) 92
5.10.4.1 SPI 主模式时序 94
5.10.5 SPI从模式时序 98
6 详细描述 101
6.1 概述 101
6.2 功能框图 102
6.3 内存 103
6.3.1 内存映射 103
6.3.2 Flash 内存映射 106
6.3.2.1 Flash 扇区地址 106
6.3.3.2 外设寄存器内存映射 107
6.3.3 存储器类型 110
6.3.3.1 CPU数据 RAM (GSDx RAM) 110
6.3.3.2 CPU指令RAM (GSIx RAM) 110
6.3.3.3 CPU指令RAM (BOOT RAM) 110
6.4 总线架构-外设连接 111
6.6 C28x 处理器 112
6.6.1 介绍 112
6.6.2 特点 112
6.6.3 浮点单元(FPU) 112
6.7 直接内存访问(DMA) 113
6.8 看门狗 115
6.9 C28x 计时器 115
6.10 双时钟比较器 (DCC) 116
6.10.1 特点 116
6.10.2 DCCx(DCC0 and DCC1) 时钟源输入映射 116
7 开发支持 116
7.1 集成开发环境QX-IDE 116
7.2 仿真器 118

7.2.1 简介 118
7.2.2 结构 118
7.2.2.1 宿主机 118
7.2.2.2 目标机 119
7.2.2.3 接口卡 119
8 封装外形尺寸 120
8.1 LQFP176 PIN 120
8.2 eLQFP176 PIN 120
9 订货信息 121
9.1 封装信息 121
9.2 封装概览 121
关于乾芯科技 122

1 特性

- 32位CPU
  - 150 MHz
  - IEEE-754 单精度浮点单元(FPU)
- 片上存储器
  - 1MB FLASH (ECC 保护)
  - 512KB SRAM(ECC保护/奇偶校验保护)
    - 256KB 指令RAM, 256KB 数据RAM
- 时钟和控制
  - 支持片上晶振振荡器和外部时钟输入
    - 片上 10MHz 振荡器
    - 外部晶振频率最高支持20MHz
  - 看门狗计时器模块
  - 丢失时钟检测电路
- 电源电压: 1.2V 内核、3.3V I/O
  - 可生成 1.2V 电压的内部 VREG
  - 欠压复位(BOR)电路
- 系统外设
  - 6通道直接存储器存取(DMA)控制器
  - 88个独立可编程多路复用通用输入/输出 (GPIO)引脚
  - 嵌入式实时分析和诊断(ERAD)
- 通信外设
  - 1个内部集成电路(I2C)接口
  - 2个控制器局域网(CAN)总线端口
  - 4个SPI 支持QSPI
  - 4个串行通信接口 (SCI)
  - 1路32bit EMIF通道
- 模拟系统
  - 3个可配置ADC
    - 3个8通道 5MSPS 12 位 ADC, 或者
    - 3个8通道 3MSPS 12 位 ADC
  - 片上温度传感器
- 增强型控制外设
  - 12个ePWM通道
    - 8个高分辨率(150ps)HRPWM通道
    - 具有高分辨率的集成死区支持
    - 具有硬件跳闸区域(TZ)
  - 5个捕捉(eCAP)模块
    - 2个增强型捕捉模块(HRCAP)
  - 2个CW/CCW运行模式的增强型正交编码器脉冲(eQEP)模块
- 封装
  - 176 引脚LQFP
  - 176 引脚eLQFP
  - 176 引脚BGA
- 温度
  - -40℃至125℃结温

2 应用

- 交流充电桩
- 直流充电桩
- 电动汽车充电站电源模块
- 车辆无线充电模块
- 能量存储电源转换系统（PCS）
- 中央逆变器
- 太阳能电源优化器
- 串式逆变器
- 直流/交流转换器
- 逆变器和电机控制
- 伺服驱动器控制模块
- 交流BLDC电机驱动器
- 直流BLDC电机驱动器
- 工业交流/直流电源
- 三相UPS
- 商用网络和服务器PSU
- 商用通信电源整流器

3 说明

QXS320F28335是一款对标TI公司的TMS320F2833x系列的32位处理器。主要针对实时控制应用（如工业电机驱动、光伏逆变器和数字电源、电动汽车的电机控制以及空调变频等）。

QXS320F28335拥有对标TI C28x的自主研发的32位CPU内核，可提供150MHz的处理能力。QXS320F28335内部同样集成了FPU，可以提供32位浮点加速指令。

QXS320F28335集成了高性能模拟外设和增强型控制外设，2个12位采样率为5MSPS的ADC可准确、高效地管理多个模拟信号，从而最终提高系统吞吐量。先进的控制外设(具有独立于频率的ePWM/HRPWM 和 eCAP)，可对系统进行出色的控制。

通过各种业界通用通信端口（如 SPI、SCI、I2C和 CAN）支持连接，并且提供了多个多路复用选项，可在各种应用中实现出色的信号布局。

嵌入式实时分析和诊断 (ERAD) 模块通过提供用于分析的附加硬件断点和计数器来增强器件的调试和系统分析功能。

QXS320F28335支持高达256KB指令RAM、256KB数据RAM和1MB Flash存储，能够适应大部分嵌入场景。QXS320F28335还支持8KB的bootloader指令RAM，灵活配置启动过程。

3.1 功能框图

功能框图展示了CPU 系统及关联的外设。

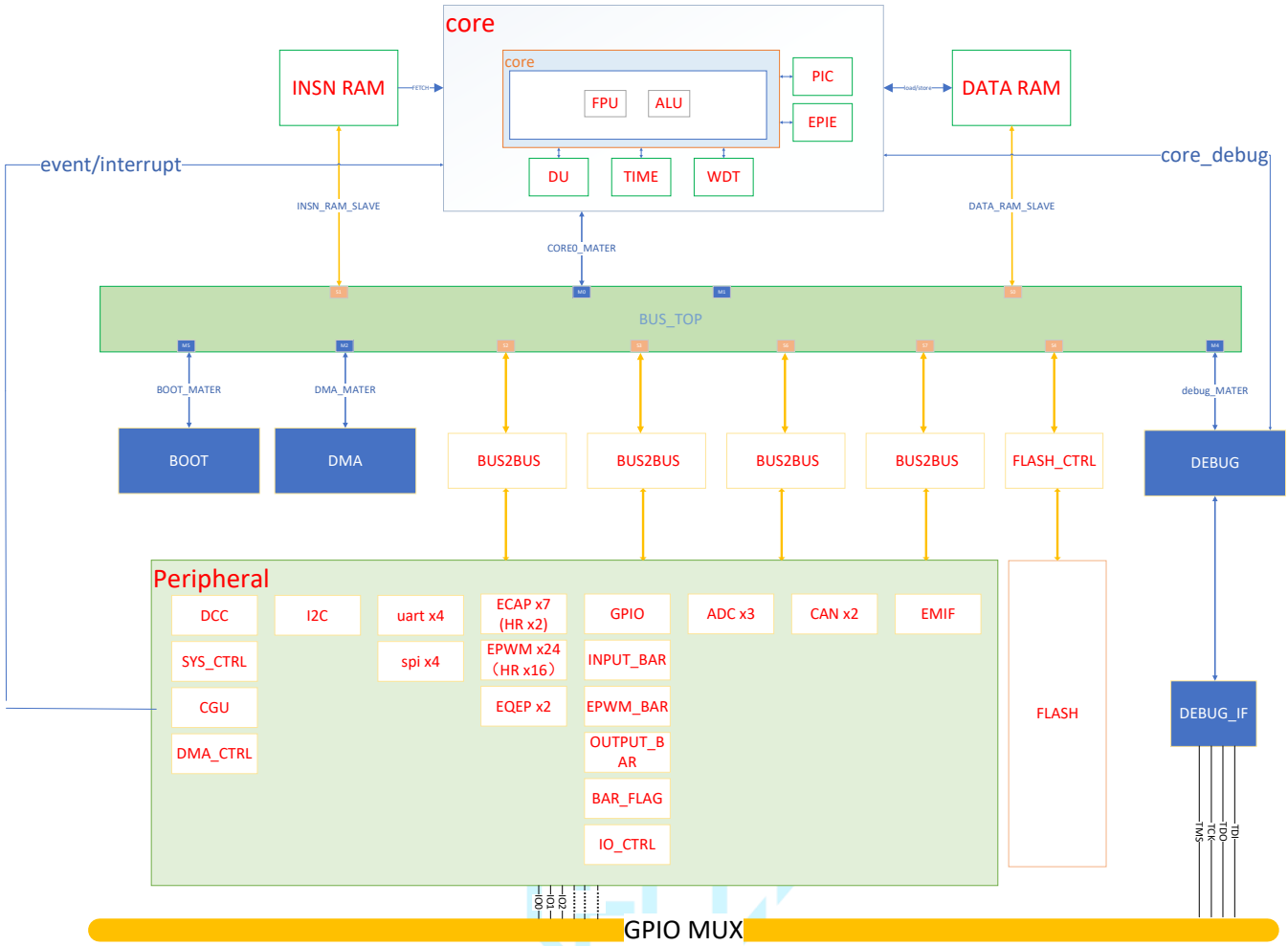


图 3-1 功能框图

3.2 器件特性

表3-1. QXS320F2833x 器件特性

功能		QXS320F28335
时钟主频		150 MHz
内核数		单核
IEEE754单精度浮点单元（FPU）		支持
指令存储IRAM		256KB
数据存储DRAM		256KB
片上FLASH		1MB
高速DMA模块通道		6
32位CPU定时器		3
窗口看门狗定时器		1
非可屏蔽中断看门狗定时器		1
IO引脚	GPIO	88
	AIO	-
嵌入式实时分析和诊断(ERAD)		有
外部中断		8
12bit ADC	数量	3
	采样率	5M
	通道数	8
	输入模式	单端
	后处理(PPB)	4
I2C		1
CAN		2
SPI		4
SCI		4
32bit EMIF		1
EPWM	EPWM通道	12
	HRPWM（150ps）	8
	HHRPWM(45ps)	-
eCAP	eCAP	5
	HRCAP	2
eQEP		2
工作温度（AT）		-40℃~125℃
封装形式		176 LQFP
		176 eLQFP
		176 BGA

3.3 产品编码

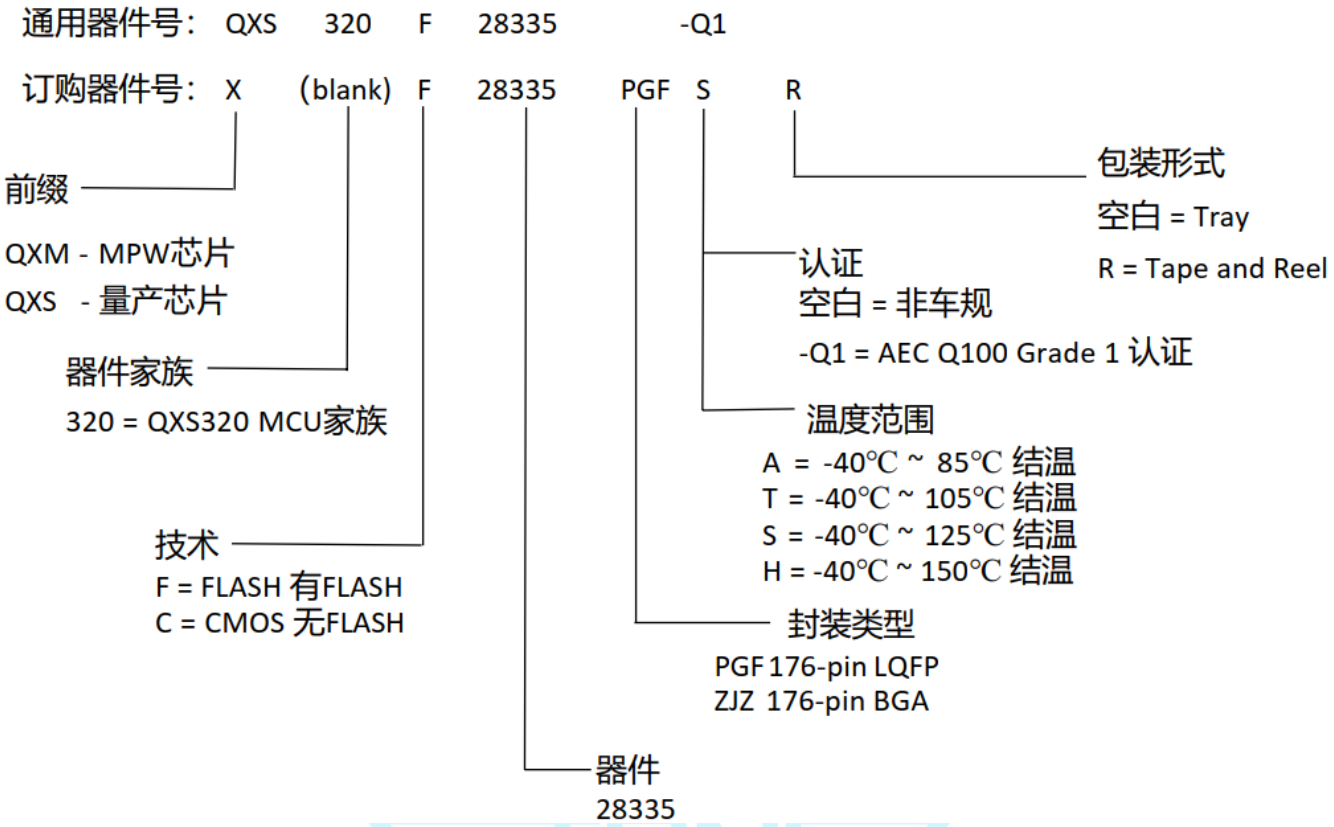
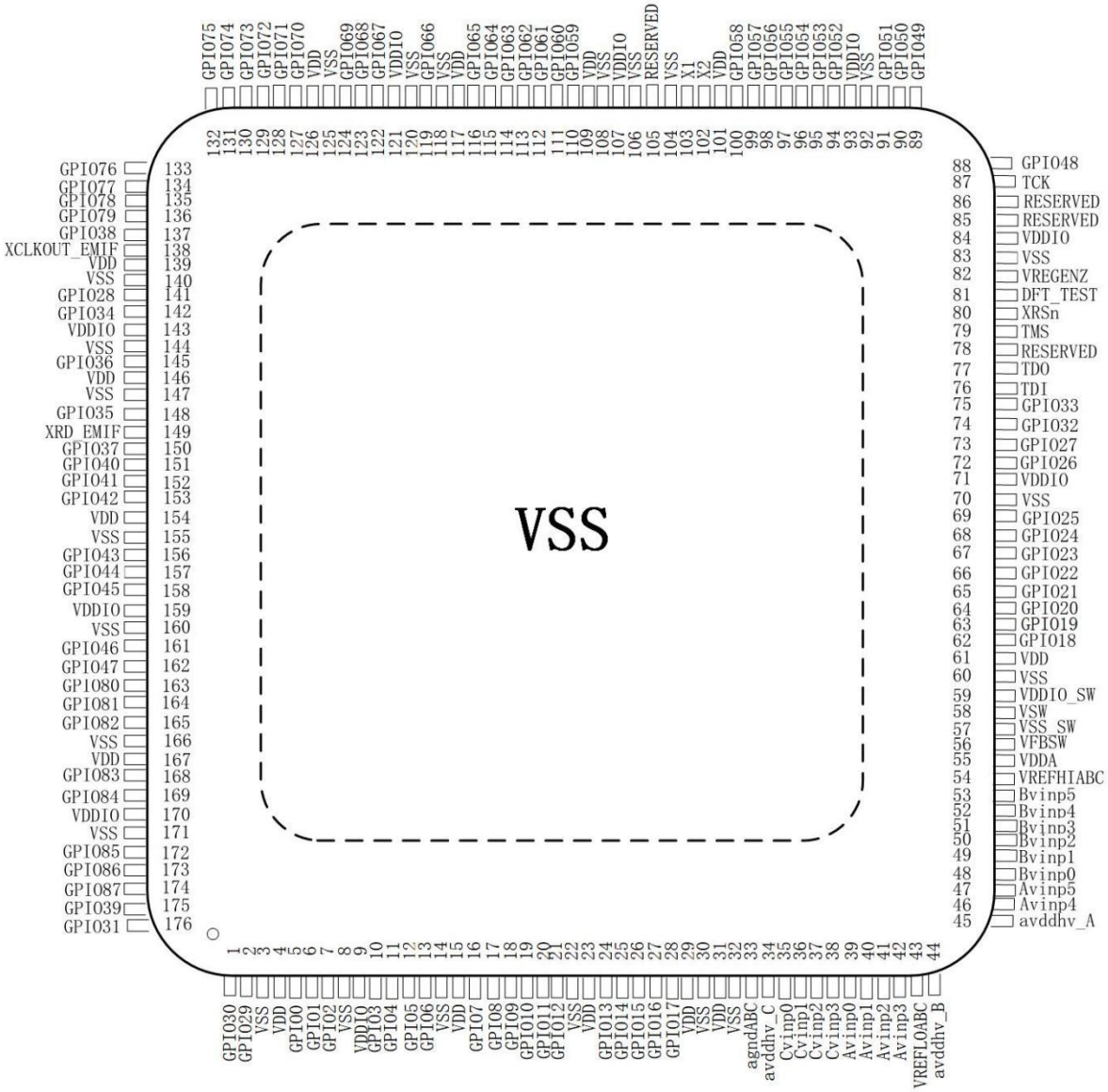


图 3-2 器件命名规则图

4 终端配置与功能

4.1 引脚图



PGF (176-Pin)

4.2 引脚说明

表 6-1.引脚属性

信号名称	多路复用器位置	176	引脚类型	说明
C0		35	I	ADC-C 输入 0
C1		36	I	ADC-C 输入 1
C2		37	I	ADC-C 输入 2
C3		38	I	ADC-C 输入 3
A0		39	I	ADC-A 输入 0
A1		40	I	ADC-A 输入 1
A2		41	I	ADC-A 输入 2

信号名称	多路复用器位置	176	引脚类型	说明
A3		42	I	ADC-A 输入 3
A4		46	I	ADC-A 输入 8
A5		47	I	ADC-A 输入 9
B0		48	I	ADC-B 输入 0
B1		49	I	ADC-B 输入 2
B2		50	I	ADC-B 输入 3
B3		51	I	ADC-B 输入 4
B4		52	I	ADC-C 输入 0
B5		53	I	ADC-C 输入 1
VREFHIABC		54		ADC-A ，ADC-B，ADC-C高基准电压。
avddhv_A		45		模拟供电3.3V
avddhv_B		44		模拟供电3.3V
avddhv_C		34		模拟供电3.3V
VREFLOABC		43		ADC-A ,ADC-B,ADC-C低基准电压
VDDIO_SW		59		内部直流/直流稳压器的 3.3V 电源引脚。如果使用内部直流/直流稳压器，则应在该引脚上放置一个 4.7μF 的大容量输入电容。务必将该引脚连接至 VDDIO 引脚。如果需要，可以使用铁氧体磁珠进行隔离，但 VDDIO_SW 和 VDDIO 必须由同一电源供电。
VSW		58		内部直流/直流稳压器的切换输出。
VSS_SW		57		内部直流/直流稳压器接地。务必将该引脚连接至 VSS 引脚.

VFBSW		56		内部线性稳压器输出信号，直流/直流稳压器反馈信号。如果使用内部直流/直流稳压器，请将此引脚连接到L（VSW）与VDD之间的节点上（尽可能靠近芯片）。
agndABC		33		模拟地
resever		78,85,86,105		悬空或接地

4.3 信号描述

信号名称	多路复用器位置	176	引脚类型	说明
GPIO0	0	5	I/O	通用输入/输出 0
EPWM1_A	1		O	ePWM-1 输出 A
SPIA_D2	2		I/O	QSPIA模式的第三位数据
EM1DQM0	3		O	EMIF同步访问模式的字节使能信号，低电平有效，只有相应的字节通道有效时，字节使能有效
GPIO1	0	6	I/O	通用输入/输出 1
EPWM1_B	1		O	ePWM-1 输出 B
OUTPUTBAR0	2		O	输出 X-BAR 输出 0
EM1DQM1	3		O	EMIF同步访问模式的字节使能信号，低电平有效
GPIO2	0	7	I/O	通用输入/输出 2
EPWM2_A	1		O	ePWM-2 输出 A
SPIA_D3	2		I/O	QSPIA模式的第四位数据
EM1DQM2	3		O	EMIF同步访问模式的字节使能信号，低电平有效
GPIO3	0	10	I/O	通用输入/输出 3
EPWM2_B	1		O	ePWM-2 输出 B
OUTPUTBAR1	2		O	输出 X-BAR 输出 1
EM1DQM3	3		O	EMIF同步访问模式的字节使能信号，低电平有效
GPIO4	0	11	I/O	通用输入/输出 4
EPWM3_A	1		O	ePWM-3 输出 A
SPIB_D2	2		I/O	QSPIB模式的第三位数据
SOE	3		O	EMIF同步访问模式的输出使能
GPIO5	0	12	I/O	通用输入/输出 5
EPWM3_B	1		O	ePWM-3 输出 B
CANB_OBY	2		O	CAN B 输出 STBY
OUTPUTBAR2	3		O	输出 X-BAR 输出 2
GPIO6	0	13	I/O	通用输入/输出 6
EPWM4_A	1		O	ePWM-4 输出 A
SPIB_D3	2		I/O	QSPIB模式的第四位数据
OUTPUTBAR3	3		O	输出 X-BAR 输出 3
GPIO7	0	16	I/O	通用输入/输出 7
EPWM4_B	1		O	ePWM-4 输出 B
CANB_OBY	2		O	CAN B 输出 STBY
OUTPUTBAR4	3		O	输出 X-BAR 输出 4
GPIO8	0	17	I/O	通用输入/输出 8
EPWM5_A	1		O	ePWM-5 输出 A
CANTXB	2		O	CAN B TX 输出
ADCSOCAO	3		O	外部 ADC（来自 ePWM 模块）的ADC 转换启动 A 输出
GPIO9	0	18	I/O	通用输入/输出 9
EPWM5_B	1		O	ePWM-5 输出 B
SCITXDB	2		O	SCI_B TX 输出
				输出 X-BAR 输出 5

OUTPUTBAR5	3		O	
信号名称	**多路复用器位置**	**176**	**引脚类型**	**说明**
GPIO10 EPWM6_A CANRXB ADCSOCBO	0 1 2 3	19	I/O O I O	通用输入/输出 10 ePWM-6 输出 A CAN B RX 输入 外部 ADC（来自 ePWM 模块）的ADC 转换启动 B 输出
GPIO11 EPWM6_B SCIRXDB OUTPUTBAR6	0 1 2 3	20	I/O O I O	通用输入/输出 11 ePWM-6 输出 B SCI_B RX 输入 输出 X-BAR 输出 6
GPIO12 EM1WE CANTXB SCIRXDD	0 1 2 3	21	I/O O O I	通用输入/输出 12 EMIF同步访问模式的写使能 CAN_B TX 输出 SCI_D RX 输入
GPIO13 SADS/SRE CANRXB SCITXDD	0 1 2 3	24	I/O O I O	通用输入/输出 13 EMIF同步访问模式的地址选通或读使能 CAN_B RX 输入 SCI_D TX 输出
GPIO14 XHOLD SCITXDB SPIC_D2	0 1 2 3	25	I/O I O I/O	通用输入/输出 14 外部保持请求 XHOLD,当为低电平时，表明有外部设备请求EMIF释放其总线放其总线 SCI_B TX 输出 QSPIC模式的第三位数据
GPIO15 XHOLDA SCIRXDB SPIC_D3	0 1 2 3	26	I/O O I I/O	通用输入/输出 15 当 EMIF 已经准予一个 XHOLD 请求时，XHOLDA 被驱动至有 效（低电平）。所有 EMIF 总线和选通脉冲将处于高阻抗状态。当 XHOLD 信号被释放时， XHOLDA 被释放。当 XHOLDA 为有效（低电平）时，外部器件应该只驱动外部总线。 SCI_B RX 输入 QSPIC模式的第四位数据
GPIO16 SPISIMOA(QSPIA_D0) CANTXB ERRORS	0 1 2 3	27	I/O I/O O O	通用输入/输出 16 SPI-A 从器件输入，主器件输出 (SIMO)或QSPI模式的第一位数据SPI-A data[0] CAN_B TX 输出 低电平有效错误状态输出。如果您希望在上电期间或在 ERRORSTS 信号本身发生故障期间将错误状态置为有效，则可以使用外部下拉电阻。如果您不希望在上述条件下将错误状态置为有效，则可以使用上拉电阻。
GPIO17 SPISOMIA(QSPIA_D1) CANRXB SPID_D2	0 1 2 3	28	I/O I/O I I/O	通用输入/输出 17 SPI-A 从器件输出，主器件输入 (SOMI)或QSPI模式的第二位数据SPI-A data[1] CAN_B RX 输入 QSPID模式的第三位数据
GPIO18 SPICLKA SCITXDB	0 1 2	62	I/O I/O O	通用输入/输出 18 SPI_A 双向时钟 SCI_B TX 输出 CAN_A RX 输入

CANRXA	3		I	
GPIO19 SPISTEA SCIRXDB CANTXA	0 1 2 3	63	I/O I/O I O	通用输入/输出 19 SPI-A 器件使能 (STE) SCI_B RX 输入 CAN_A TX 输出
GPIO20 EQEP1A SPISIMOC(QSPIC_D0) CANTXB	0 1 2 3	64	I/O I I/O O	通用输入/输出 20 EQEP1 输入A SPI-C 从器件输入，主器件输出 (SIMO)或QSPI模式的第一位数据SPI-C data[0] CAN_B TX 输出
GPIO21 EQEP1B SPISOMIC(QSPIC_D1) CANRXB	0 1 2 3	65	I/O I I/O I	通用输入/输出 21 EQEP1 输入B SPI-C 从器件输出，主器件输入 (SOMI))或QSPI模式的第二位数据SPI-C data[1] CAN_B RX 输入
GPIO22 EQEP1S SPICLKC SCITXDB	0 1 2 3	66	I/O I/O I/O O	通用输入/输出 22 EQEP1 选通 SPI_C 双向时钟 SCI_B TX 输出
GPIO23 EQEP1I SPISTEC SCIRXDB	0 1 2 3	67	I/O I/O I/O I	通用输入/输出 23 EQEP1 索引 SPI_C 器件使能 (STE) SCI_B RX 输入
GPIO24 OUTPUTBAR2 EQEP2A SPISIMOD(QSPID_D0)	0 1 2 3	68	I/O O I I/O	通用输入/输出 24 输出 X-BAR 输出 2 EQEP2 输入A SPI-D 从器件输入，主器件输出 (SIMO))或QSPI模式的第一位数据SPI-D data[0]
GPIO25 OUTPUTBAR4 EQEP2B SPISOMID(QSPID_D1)	0 1 2 3	69	I/O O I I/O	通用输入/输出 25 输出 X-BAR 输出 4 EQEP2 输入B SPI-D 从器件输出，主器件输入 (SOMI)或QSPI模式的第二位数据SPI-D data[1]
GPIO26 OUTPUTBAR5 EQEP2I SPICLKD	0 1 2 3	72	I/O O I/O I/O	通用输入/输出 26 输出 X-BAR 输出 5 EQEP2 索引 SPI_D 双向时钟
GPIO27 OUTPUTBAR6 EQEP2S SPISTED	0 1 2 3	73	I/O O I/O I/O	通用输入/输出 27 输出 X-BAR 输出 6 EQEP2 选通 SPI_D 器件使能 (STE)

GPIO28 SCIRXDA XZCS6	0 1 2、3	141	I/O I O	通用输入/输出 28 SCI_A RX 输入 EMIF外部接口区域 6 芯片选择
GPIO29 SCITXDA XA19	0 1 2、3	2	I/O O O	通用输入/输出 29 SCI_A TX 输出 EMIF的地址总线第19位
GPIO30 CANRXA XA18	0 1 2、3	1	I/O I O	通用输入/输出 30 CAN_A RX 输入 EMIF的地址总线第18位
GPIO31 CANTXA XA17	0 1 2、3	176	I/O O O	通用输入/输出 31 CAN_A TX 输出 EMIF的地址总线第17位
GPIO32 SDAA SPID_D3 ADCSOCAO	0 1 2 3	74	I/O I/OD I/O O	通用输入/输出 32 IIC_A 数据 QSPI模式的第四位数据SPI-D data[3] 外部 ADC（来自 ePWM 模块）的ADC 转换启动 A 输出
GPIO33 SCLA OUTPUTBAR7 ADCSOCBO	0 1 2 3	75	I/O I/OD O O	通用输入/输出 33 IIC_A 时钟 输出 X-BAR 输出 7 外部 ADC（来自 ePWM 模块）的ADC 转换启动 B 输出
GPIO34 OUTPUTBAR2 XREADY	0 1 2、3	142	I/O O I	通用输入/输出 34 输出 X-BAR 输出 2 外部接口就绪信号。当为高电平时，表明外部设备已完成此次访问的相关操作，EMIF可结束此次访问.
GPIO35 SCITXDA XR/W	0 1 2、3	148	I/O O O	通用输入/输出 35 SCI_A TX 输出 EMIF外部接口读取，不是写入选通 ;读/写信号线，高电平时，表明读操作正在进行；低电平时，表明写操作正在进行
GPIO36 SCIRXDA XZCS0	0 1 2、3	145	I/O I O	通用输入/输出 36 SCI_A RX 输入 EMIF外部接口区域 0 芯片选择
GPIO37 OUTPUTBAR4 XZCS7	0 1 2、3	150	I/O O O	通用输入/输出 37 输出 X-BAR 输出 4 EMIF外部接口区域 7 芯片选择
GPIO38 CANA_OBY XWE0	0 1 2、3	137	I/O O O	通用输入/输出 38 CAN_A 输出 stby EMIF外部接口写入使能,,写操作的选通线，低电平有效
GPIO39 CANA_OBY XA16	0 1 2、3	175	I/O O O	通用输入/输出 39 CAN_A 输出 stby EMIF的地址总线第16位
GPIO40 SPISIMOB(QSPIB_D0) XA0/XWE1	0 1 2、3	151	I/O I/O O	通用输入/输出 40 SPI-B 从器件输入，主器件输出 (SIMO))或QSPI模式的第一位数据SPI-B data[0] 在EMIF的16位数据总线模式下，作为地址线的最低位XA0

				在EMIF的32位数据总线模式下，作为低字节的写操作的选通线XWE1
GPIO41 SPISOMIB(QSPIB_D1) XA1	0 1 2、3	152	I/O I/O O	通用输入/输出 41 SPI-B 从器件输出，主器件输入 (SOMI))或QSPI模式的第二位数据SPI-B data[1] EMIF的地址总线第1位
GPIO42 SPICLKB XA2	0 1 2、3	153	I/O I/O O	通用输入/输出 42 SPI_B 双向时钟 EMIF的地址总线第2位
GPIO43 SPISTEB XA3	0 1 2、3	156	I/O I/O O	通用输入/输出 42 SPI_B 器件使能 (STE) EMIF的地址总线第3位
GPIO44 SPISIMOB(QSPIB_D0) XA4	0 1 2、3	157	I/O I/O O	通用输入/输出 44 SPI-B 从器件输入，主器件输出 (SIMO))或QSPI模式的第一位数据SPI-B data[0] EMIF的地址总线第4位
GPIO45 SPISOMIB(QSPIB_D1) XA5	0 1 2、3	158	I/O I/O O	通用输入/输出 45 SPI-B 从器件输出，主器件输入 (SOMI))或QSPI模式的第二位数据SPI-B data[1] EMIF的地址总线第5位
GPIO46 SPICLKB XA6	0 1 2、3	161	I/O I/O O	通用输入/输出 46 SPI_B 双向时钟 EMIF的地址总线第6位
GPIO47 SPISTEB XA7	0 1 2、3	162	I/O I/O O	通用输入/输出 47 SPI_B 器件使能 (STE) EMIF的地址总线第7位
GPIO48 OUTPUTBAR1 XD31	0 1 2、3	88	I/O O I/O	通用输入/输出 48 输出 X-BAR 输出 1 EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO49 OUTPUTBAR0 XD30	0 1 2、3	89	I/O O I/O	通用输入/输出 49 输出 X-BAR 输出 0 EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO50 EQEP1A XD29	0 1 2、3	90	I/O I I/O	通用输入/输出 50 EQEP1 输入A EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO51 EQEP1B XD28	0 1 2、3	91	I/O I I/O	通用输入/输出 51 EQEP1 输入B EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO52 EQEP1S XD27	0 1 2、3	94	I/O I/O I/O	通用输入/输出 52 EQEP1 选通 EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO53 EQEP1I XD26	0 1 2、3	95	I/O I/O I/O	通用输入/输出 53 EQEP1 索引 EMIF的双向的数据总线，在16位模式下只使用XD[15:0]

GPIO54 SPISIMOA(QSPIA_D0) XD25	0 1 2、3	96	I/O I/O I/O	通用输入/输出 54 SPI-A 从器件输入，主器件输出 (SIMO))或QSPI模式的第一位数据SPI-A data[0] EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO55 SPISOMIA(QSPIA_D1) XD24	0 1 2、3	97	I/O I/O I/O	通用输入/输出 55 SPI-A 从器件输出，主器件输入 (SOMI))或QSPI模式的第二位数据SPI-A data[1] EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO56 SPICLKA XD23	0 1 2、3	98	I/O I/O I/O	通用输入/输出 56 SPI_A 双向时钟 EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO57 SPISTEA XD22	0 1 2、3	99	I/O I/O I/O	通用输入/输出 57 SPI_A 器件使能 (STE) EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO58 SPISIMOC(QSPIC_D0) XD21	0 1 2、3	100	I/O I/O I/O	通用输入/输出 58 SPI-C 从器件输入，主器件输出 (SIMO))或QSPI模式的第一位数据SPI-C data[0] EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO59 SPISOMIC(QSPIC_D1) XD20	0 1 2、3	110	I/O I/O I/O	通用输入/输出 59 SPI-C 从器件输出，主器件输入 (SOMI))或QSPI模式的第二位数据SPI-C data[1] EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO60 SPICLKC XD19	0 1 2、3	111	I/O I/O I/O	通用输入/输出 60 SPI_C 双向时钟 EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO61 SPISTEC XD18	0 1 2、3	112	I/O I/O I/O	通用输入/输出 61 SPI_C 器件使能 (STE) EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO62 SCIRXDC XD17	0 1 2、3	113	I/O I I/O	通用输入/输出 62 SCI_C RX 输入 EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO63 SCITXDC XD16	0 1 2、3	114	I/O O I/O	通用输入/输出 63 SCI_C TX 输出 EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO64 SCIRXDD EPWM7A XD15	0 1 2 3	115	I/O I O I/O	通用输入/输出 64 SCI_D RX 输入 ePWM-7 输出 A EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO65 SCITXDD EPWM7B XD14	0 1 2 3	116	I/O O O I/O	通用输入/输出 65 SCI_D TX 输出 ePWM-7 输出 B EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO66 SPISIMOD(QSPID_D0) EPWM8A XD13	0 1 2 3	119	I/O I/O O I/O	通用输入/输出 66 SPI-D 从器件输入，主器件输出 (SIMO))或QSPI模式的第一位数据SPI-D data[0] ePWM-8 输出 A

				EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO67 SPISOMID(QSPID_D1) EPWM8B XD12	0 1 2 3	122	I/O I/O O I/O	通用输入/输出 67 SPI-D 从器件输出，主器件输入 (SOMI))或QSPI模式的第二位数据SPI-D data[1] ePWM-8 输出 B EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO68 SPICLKD EPWM9A XD11	0 1 2 3	123	I/O I/O O I/O	通用输入/输出 68 SPI_D 双向时钟 ePWM-9 输出 A EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO69 SPISTED EPWM9B XD10	0 1 2 3	124	I/O I/O O I/O	通用输入/输出 69 SPI_D 器件使能 (STE) ePWM-9 输出 B EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO70 SPIA_D2 EPWM10A XD9	0 1 2 3	127	I/O I/O O I/O	通用输入/输出 70 QSPI模式的第三位数据SPI-A data[2] ePWM-10 输出 A EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO71 SPIA_D3 EPWM10B XD8	0 1 2 3	128	I/O I/O O I/O	通用输入/输出 71 QSPI模式的第四位数据SPI-A data[3] ePWM-10 输出 B EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO72 SPIB_D2 EPWM11A XD7	0 1 2 3	129	I/O I/O O I/O	通用输入/输出 72 QSPI模式的第三位数据SPI-B data[2] ePWM-11 输出 A EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO73 SPIB_D3 EPWM11B XD6	0 1 2 3	130	I/O I/O O I/O	通用输入/输出 73 QSPI模式的第四位数据SPI-B data[3] ePWM-11 输出 B EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO74 SPIC_D2 EPWM12A XD5	0 1 2 3	131	I/O I/O O I/O	通用输入/输出 74 QSPI模式的第三位数据SPI-C data[2] ePWM-12 输出 A EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO75 SPIC_D3 EPWM12B XD4	0 1 2 3	132	I/O I/O O I/O	通用输入/输出 75 QSPI模式的第四位数据SPI-C data[3] ePWM-12 输出 B EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO76 SPID_D2 XD3	0 1 2、3	133	I/O I/O I/O	通用输入/输出 76 QSPI模式的第二位数据SPI-D data[2] EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO77 SPID_D3 XD2	0 1 2、3	134	I/O I/O I/O	通用输入/输出 77 QSPI模式的第四位数据SPI-D data[3] EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO78 XD1	0、1 2、3	135	I/O I/O	通用输入/输出 78 EMIF的双向的数据总线，在16位模式下只使用XD[15:0]

GPIO79 CLKOUT XD0	0 1 2、3	136	I/O O I/O	通用输入/输出 79 外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。 EMIF的双向的数据总线，在16位模式下只使用XD[15:0]
GPIO80 XA8	0、1 2、3	163	I/O O	通用输入/输出 80 EMIF的地址总线第8位
GPIO81 XA9	0、1 2、3	164	I/O O	通用输入/输出 81 EMIF的地址总线第9位
GPIO82 XA10	0、1 2、3	165	I/O O	通用输入/输出 82 EMIF的地址总线第10位
GPIO83 XA11	0、1 2、3	168	I/O O	通用输入/输出 83 EMIF的地址总线第11位
GPIO84 XA12	0、1 2、3	169	I/O O	通用输入/输出 84 EMIF的地址总线第12位
GPIO85 XA13	0、1 2、3	172	I/O O	通用输入/输出 85 EMIF的地址总线第13位
GPIO86 XA14	0、1 2、3	173	I/O O	通用输入/输出 86 EMIF的地址总线第14位
GPIO87 XA15	0、1 2、3	174	I/O O	通用输入/输出 87 EMIF的地址总线第15位
X1	ALT	103		晶振振荡器输入
X2	ALT	102		晶振振荡器输出
VDD		4 15 23 29 31 61 101 109 117 126 139 146 154 167		1.2V 数字逻辑电源引脚。TI 建议在每个 VDD 引脚附近放置一个最小总电容值约为 20μF 的去耦电容器。当不使用内部稳压器时，去耦电容的确切值应由您的系统电压调节解决方案来确定。
VDDIO		9 71 84 93 107 121 143 159 170		3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为 0.1μF 的去耦电容器。
VSS		3 8 14 22 30 32 60 70 83 92 104 106		数字接地

		108 118 120 125 140 144 147 155 160 166 171		
VFBSW(1)	ALT	56		内部直流/直流稳压器反馈信号。如果使用内部直流/直流稳压器 (DCDCCTL.DCDCEN = 1)，请将此引脚连接到节点，其中 L(VSW) 连接到 VDD 电源轨（尽可能靠近器件）。
VSW(1)	ALT	58		内部直流/直流稳压器的开关输出（当DCDCCTL.DCDCEN = 1 时）
VDDA		55		3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2μF 且连接至 VSSA 的去耦电容器。
TCK		87	I	JTAG 测试时钟。
TMS		79	I/O	JTAG 测试模式。
VREGENZ		82	I	具有内部下拉电阻的内部稳压器使能。直接连接到 VSS（低电平）以启用内部 VREG。直接连接到 VDDIO（高电平）以使用外部电源。
XRSn		80	I/OD	器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。应在XRSn 和VDDIO 之间放置一个阻值为 2.2kΩ 至10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。这个引脚的输出缓冲器是一个有内部上拉电阻的开漏。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。
DFT_TEST		81	I/O	测试引脚。必须保持未连接状态。
VDDIO_SW		59		内部直流/直流稳压器的 3.3V 电源引脚。如果使用内部直流/直流稳压器，则应在该引脚上放置一个 20μF 的大容量输入电容。务必将该引脚连接至 VDDIO 引脚。如果需要，可以使用铁氧体磁珠进行隔离，但 VDDIO_SW 和 VDDIO 必须由同一电源供电。
VSS_SW		57		内部直流/直流稳压器接地。务必将该引脚连接至 VSS 引脚。

4.3.1 模拟信号

表 4-2.模拟信号

信号名称	说明	引脚类型	GPIO	176 PZ
C0	ADC-C 输入 0	I		35
C1	ADC-C 输入 1	I		36
C2	ADC-C 输入 2	I		37
C3	ADC-C 输入 3	I		38
A0	ADC-A 输入 0	I		39
A1	ADC-A 输入 1	I		40

A2	ADC-A 输入 2	I		41
A3	ADC-A 输入 3	I		42
A4	ADC-A 输入 4	I		46
A5	ADC-A 输入 5	I		47
B0	ADC-B 输入 0	I		48
B1	ADC-B 输入 1	I		49
B2	ADC-B 输入 2	I		50
B3	ADC-B 输入 3	I		51
B4	ADC-B 输入 4	I		52
B5	ADC-B 输入 5	I		53

信号名称	说明	引脚类型	GPIO	176 PZ
VREFHIABC	ADC-ABC 高基准电压。在外部基准模式下，从外部将高基准电压驱动至此引脚。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHIABC 和 VREFLOABC 引脚之间尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。			54
avddhv_A	模拟供电3.3V			45
avddhv_B	模拟供电3.3V			44
avddhv_C	模拟供电3.3V			34
VREFLOABC	ADC-ABC 低基准电压			43
agndABC	模拟地			33

4.3.2 数字信号

表 4-3.数字信号

信号名称	说明	引脚类型	GPIO	176 PZ
ADCSOCAO	外部 ADC（来自 ePWM 模块）的ADC 转换启动 A 输出	O	8 32	17 74
ADCSOCBO	外部 ADC（来自 ePWM 模块）的ADC 转换启动 B 输出	O	10 33	19 75
CANRXA	CAN-A 接收	I	18 30	62 1
CANTXA	CAN-A 发送	O	19 31	63 176
CANA_OBY	CAN-A 输出 stby	O	38 39	137 175
CANRXB	CAN-B 接收	I	10 13 17 21	19 24 28 65
CANTXB	CAN-B 发送	O	8 12 16 20	17 21 27 64
CANB_OBY	CAN-B 输出 stby	O	5 7	12 16
EPWM1A	ePWM-1 输出 A	O	0	5
EPWM1B	ePWM-1 输出 B	O	1	6
EPWM2A	ePWM-2 输出 A	O	2	7
EPWM2B	ePWM-2 输出 B	O	3	10
EPWM3A	ePWM-3 输出 A	O	4	11
EPWM3B	ePWM-3 输出 B	O	5	12
EPWM4A	ePWM-4 输出 A	O	6	13
EPWM4B	ePWM-4 输出 B	O	7	16
EPWM5A	ePWM-5 输出 A	O	8	17
EPWM5B	ePWM-5 输出 B	O	9	18
EPWM6A	ePWM-6 输出 A	O	10	19
EPWM6B	ePWM-6 输出 B	O	11	20
EPWM7A	ePWM-7 输出 A	O	64	115
EPWM7B	ePWM-7 输出 B	O	65	116
EPWM8A	ePWM-8 输出 A	O	66	119
EPWM8B	ePWM-8 输出 B	O	67	122
EPWM9A	ePWM-9 输出 A	O	68	123
EPWM9B	ePWM-9 输出 B	O	69	124
EPWM10A	ePWM-10 输出 A	O	70	127
EPWM10B	ePWM-10 输出 B	O	71	128
EPWM11A	ePWM-11 输出 A	O	72	129
EPWM11B	ePWM-11 输出 B	O	73	130
EPWM12A	ePWM-12 输出 A	O	74	131

EPWM12B	ePWM-12 输出 B	O	75	132
EQEP1A	eQEP-1 输入 A	I	20 50	64 90
EQEP1B	eQEP-1 输入 B	I	21 51	65 91
EQEP1S	eQEP-1 选通	I/O	22 52	66 94
EQEP1I	eQEP-1 索引	I/O	23 53	67 95
EQEP2A	eQEP-2 输入 A	I	24	68
EQEP2B	eQEP-2 输入 B	I	25	69
EQEP2S	eQEP-2 选通	I/O	26	72
EQEP2I	eQEP-2 索引	I/O	27	73
ERRORS	低电平有效错误状态输出。如果您希望在上电期间或在 ERRORSTS 信号本身发生故障期间将错误状态置为有效，则可以使用外部下拉电阻器。如果您不希望在上述条件下将错误状态置为有效，则可以使用上拉电阻器。	O	16	27
EM1DQM0	EMIF同步访问模式的字节使能信号，低电平有效，只有相应的字节通道有效时，字节使能有效	O	0	5
EM1DQM1	EMIF同步访问模式的字节使能信号，低电平有效，只有相应的字节通道有效时，字节使能有效	O	1	6
EM1DQM2	EMIF同步访问模式的字节使能信号，低电平有效，只有相应的字节通道有效时，字节使能有效	O	2	7
EM1DQM3	EMIF同步访问模式的字节使能信号，低电平有效，只有相应的字节通道有效时，字节使能有效	O	3	10

信号名称	说明	引脚类型	GPIO	176 PZ
GPIO0	通用输入/输出 0	I/O	0	5
GPIO1	通用输入/输出 1	I/O	1	6
GPIO2	通用输入/输出 2	I/O	2	7
GPIO3	通用输入/输出 3	I/O	3	10
GPIO4	通用输入/输出 4	I/O	4	11
GPIO5	通用输入/输出 5	I/O	5	12
GPIO6	通用输入/输出 6	I/O	6	13
GPIO7	通用输入/输出 7	I/O	7	16
GPIO8	通用输入/输出 8	I/O	8	17
GPIO9	通用输入/输出 9	I/O	9	18
GPIO10	通用输入/输出 10	I/O	10	19
GPIO11	通用输入/输出 11	I/O	11	20
GPIO12	通用输入/输出 12	I/O	12	21
GPIO13	通用输入/输出 13	I/O	13	24
GPIO14	通用输入/输出 14	I/O	14	25
GPIO15	通用输入/输出 15	I/O	15	26
GPIO16	通用输入/输出 16	I/O	16	27
GPIO17	通用输入/输出 17	I/O	17	28
GPIO18	通用输入/输出 18	I/O	18	62
GPIO19	通用输入/输出 19	I/O	19	63
GPIO20	通用输入/输出20	I/O	20	64
GPIO21	通用输入/输出21	I/O	21	65
GPIO22	通用输入/输出22	I/O	22	66
GPIO23	通用输入/输出23	I/O	23	67
GPIO24	通用输入/输出 24	I/O	24	68
GPIO25	通用输入/输出 25	I/O	25	69
GPIO26	通用输入/输出 26	I/O	26	72
GPIO27	通用输入/输出 27	I/O	27	73
GPIO28	通用输入/输出 28	I/O	28	141
GPIO29	通用输入/输出 29	I/O	29	2
GPIO30	通用输入/输出 30	I/O	30	1
GPIO31	通用输入/输出 31	I/O	31	176
GPIO32	通用输入/输出 32	I/O	32	74
GPIO33	通用输入/输出 33	I/O	33	75
GPIO34	通用输入/输出 34	I/O	34	142
GPIO35	通用输入/输出 35	I/O	35	148
GPIO36	通用输入/输出 36	I/O	36	145
GPIO37	通用输入/输出 37	I/O	37	150
GPIO38	通用输入/输出 38	I/O	38	137
GPIO39	通用输入/输出 39	I/O	39	175
GPIO40	通用输入/输出 40	I/O	40	151
GPIO41	通用输入/输出 41	I/O	41	152
GPIO42	通用输入/输出 42	I/O	42	153
GPIO43	通用输入/输出 43	I/O	43	156
GPIO44	通用输入/输出 44	I/O	44	157

GPIO45	通用输入/输出 45	I/O	45	158
GPIO46	通用输入/输出 46	I/O	46	161
GPIO47	通用输入/输出 47	I/O	47	162
GPIO48	通用输入/输出 48	I/O	48	88
GPIO49	通用输入/输出 49	I/O	49	89
GPIO50	通用输入/输出 50	I/O	50	90
GPIO51	通用输入/输出 51	I/O	51	91
GPIO52	通用输入/输出 52	I/O	52	94
GPIO53	通用输入/输出 53	I/O	53	95
GPIO54	通用输入/输出 54	I/O	54	96
GPIO55	通用输入/输出 55	I/O	55	97
GPIO56	通用输入/输出 56	I/O	56	98
GPIO57	通用输入/输出 57	I/O	57	99
GPIO58	通用输入/输出 58	I/O	58	100
GPIO59	通用输入/输出 59	I/O	59	110
GPIO60	通用输入/输出 60	I/O	60	111
GPIO61	通用输入/输出 61	I/O	61	112
GPIO62	通用输入/输出 62	I/O	62	113
GPIO63	通用输入/输出 63	I/O	63	114
GPIO64	通用输入/输出 64	I/O	64	115
GPIO65	通用输入/输出 65	I/O	65	116
GPIO66	通用输入/输出 66	I/O	66	119
GPIO67	通用输入/输出 67	I/O	67	122
GPIO68	通用输入/输出 68	I/O	68	123
GPIO69	通用输入/输出 69	I/O	69	124
GPIO70	通用输入/输出 70	I/O	70	127
GPIO71	通用输入/输出 71	I/O	71	128
GPIO72	通用输入/输出 72	I/O	72	129
GPIO73	通用输入/输出 73	I/O	73	130
GPIO74	通用输入/输出 74	I/O	74	131
GPIO75	通用输入/输出 75	I/O	75	132
GPIO76	通用输入/输出 76	I/O	76	133
GPIO77	通用输入/输出 77	I/O	77	134
GPIO78	通用输入/输出 78	I/O	78	135
GPIO79	通用输入/输出 79	I/O	79	136
GPIO80	通用输入/输出 80	I/O	80	163
GPIO81	通用输入/输出 81	I/O	81	164
GPIO82	通用输入/输出 82	I/O	82	165
GPIO83	通用输入/输出 83	I/O	83	168
GPIO84	通用输入/输出 84	I/O	84	169
GPIO85	通用输入/输出 85	I/O	85	172
GPIO86	通用输入/输出 86	I/O	86	173
GPIO87	通用输入/输出 87	I/O	87	174
SCLA	I2C-A 开漏双向时钟	I/OD	33	75
SDAA	I2C-A 开漏双向数据	I/OD	32	74

OUTPUTBAR0	输出 X-BAR 输出 0	O	1 49	6 89
OUTPUTBAR1	输出 X-BAR 输出 1	O	3 48	10 88
OUTPUTBAR2	输出 X-BAR 输出 2	O	5 24 34	12 68 142
OUTPUTBAR3	输出 X-BAR 输出 3	O	6	13
OUTPUTBAR4	输出 X-BAR 输出 4	O	7 25 37	16 69 150
OUTPUTBAR5	输出 X-BAR 输出 5	O	9 26	18 72
OUTPUTBAR6	输出 X-BAR 输出 6	O	11 27	20 73
OUTPUTBAR7	输出 X-BAR 输出 7	O	33	75
SCIRXDA	SCI-A 接收数据	I	28 36	141 145
SCITXDA	SCI-A 发送数据	O	29 35	2 148
SCIRXDB	SCI-B 接收数据	I	11 15 19 23	20 26 63 67
SCITXDB	SCI-B 发送数据	O	9 14 18 22	18 25 62 66
SCIRXDC	SCI-C 接收数据	I	62	113
SCITXDC	SCI-C 发送数据	O	63	114
SCIRXDD	SCI-D 接收数据	I	12 64	21 115
SCITXDD	SCI-D 发送数据	O	13 65	24 116
SPICLKA	SPI-A 时钟	I/O	18 56	62 98
SPISIMOA	SPI-A 从器件输入，主器件输出 (SIMO)	I/O	16 54	27 96
SPISOMIA	SPI-A 从器件输出，主器件输入 (SOMI)	I/O	17 55	28 97
SPISTEA	SPI-A 器件使能 (STE)	I/O	19 57	63 99
QSPIA_D2	QSPI模式的第三位数据SPI-A data[2]	I/O	0 70	5 127
QSPIA_D3	QSPI模式的第四位数据SPI-A data[3]	I/O	2 71	7 128

SPICLKB	SPI-B 时钟	I/O	42 46	153 161
SPISIMOB(QSPIB_D0)	SPI-B 从器件输入，主器件输出 (SIMO)或QSPI模式的第一位数据SPI-B data[0]	I/O	40 44	151 157
SPISOMIB(QSPIB_D1)	SPI-B 从器件输出，主器件输入 (SOMI))或QSPI模式的第二位数据SPI-B data[1]	I/O	41 45	152 158
SPISTEB	SPI-B 器件使能 (STE)	I/O	43 47	156 162
QSPIB_D2	QSPI模式的第三位数据SPI-B data[2]	I/O	4 72	11 129
QSPIB_D3	QSPI模式的第四位数据SPI-B data[3]	I/O	6 73	13 130
SPICLKC	SPI-C 时钟	I/O	22 60	66 111
SPISIMOC(QSPIC_D0)	SPI-C 从器件输入，主器件输出 (SIMO)或QSPI模式的第一位数据SPI-C data[0]	I/O	20 58	64 100
SPISOMIC(QSPIC_D1)	SPI-C 从器件输出，主器件输入 (SOMI)或QSPI模式的第二位数据SPI-C data[1]	I/O	21 59	65 110
SPISTEC	SPI-C 器件使能 (STE)	I/O	23 61	67 112
QSPIC_D2	QSPI模式的第三位数据SPI-C data[2]	I/O	14 74	25 131
QSPIC_D3	QSPI模式的第四位数据SPI-C data[3]	I/O	15 75	26 132
SPICLKD	SPI-D 时钟	I/O	26 68	72 123
SPISIMOD(QSPID_D0)	SPI-D 从器件输入，主器件输出 (SIMO)或QSPI模式的第一位数据SPI-D data[0]	I/O	24 66	68 119
SPISOMID(QSPID_D1)	SPI-D 从器件输出，主器件输入 (SOMI)或QSPI模式的第一位数据SPI-D data[1]	I/O	25 67	69 122
SPISTED	SPI-D 器件使能 (STE)	I/O	27 69	73 124
QSPID_D2	QSPI模式的第三位数据SPI-D data[2]	I/O	17 76	28 133
QSPID_D3	QSPI模式的第四位数据SPI-D data[3]	I/O	32 77	74 134
SOE	EMIF同步访问模式的输出使能	O	4	11
EM1WE	EMIF同步访问模式的写使能	O	12	21

SADS/SRE	EMIF同步访问模式的地址选通或读使能	O	13	24
XHOLD	外部保持请求 XHOLD,当为低电平时，表明有外部设备请求EMIF释放其总线	I	14	25
XHOLDA	当 EMIF 已经准予一个 XHOLD 请求时，XHOLDA 被驱动至有 效（低电平）。所有 EMIF 总线和选通脉冲将处于高阻抗状态。当 XHOLD 信号被释放时， XHOLDA 被释放。当 XHOLDA 为有效（低电平）时，外部器件应该只驱动外部总线。	O	15	26
XZCS0	EMIF外部接口区域 0 芯片选择	O	36	145
XZCS6	EMIF外部接口区域 6 芯片选择	O	28	141
XZCS7	EMIF外部接口区域 7 芯片选择	O	37	150
XREADY	外部接口就绪信号。当为高电平时，表明外部设备已完成此次访问的相关操作，EMIF可结束此次访问.	I	34	142
XR/W	EMIF外部接口读取，不是写入选通 ;读/写信号线，高电平时，表明读操作正在进行；低电平时，表明写操作正在进行	O	35	148
XWE0	EMIF外部接口写入使能,写操作的选通线，低电平有效	O	38	137
XA0/XWE1	在EMIF的16位数据总线模式下，作为地址线的最低位XA0 在EMIF的32位数据总线模式下，作为低字节的写操作的选通线XWE1	O	40	151
XA1	EMIF的地址总线第1位	O	41	152
XA2	EMIF的地址总线第2位	O	42	153
XA3	EMIF的地址总线第3位	O	43	156
XA4	EMIF的地址总线第4位	O	44	157
XA5	EMIF的地址总线第5位	O	45	158
XA6	EMIF的地址总线第6位	O	46	161
XA7	EMIF的地址总线第7位	O	47	162
XA8	EMIF的地址总线第8位	O	80	163
XA9	EMIF的地址总线第9位	O	81	164
XA10	EMIF的地址总线第10位	O	82	165
XA11	EMIF的地址总线第11位	O	83	168
XA12	EMIF的地址总线第12位	O	84	169
XA13	EMIF的地址总线第13位	O	85	172
XA14	EMIF的地址总线第14位	O	86	173

XA15	EMIF的地址总线第15位	O	87	174
XA16	EMIF的地址总线第16位	O	39	175
XA17	EMIF的地址总线第17位	O	31	176
XA18	EMIF的地址总线第18位	O	30	1
XA19	EMIF的地址总线第19位	O	29	2
XD0	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	79	136
XD1	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	78	135
XD2	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	77	134
XD3	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	76	133
XD4	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	75	132
XD5	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	74	131
XD6	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	73	130
XD7	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	72	129
XD8	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	71	128
XD9	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	70	127
XD10	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	69	124
XD11	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	68	123
XD12	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	67	122
XD13	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	66	119
XD14	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	65	116
XD15	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	64	115
XD16	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	63	114
XD17	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	62	113
XD18	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	61	112
XD19	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	60	111
XD20	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	59	110
XD21	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	58	100
XD22	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	57	99
XD23	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	56	98
XD24	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	55	97

XD25	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	54	96
XD26	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	53	95
XD27	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	52	94
XD28	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	51	91
XD29	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	50	90
XD30	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	49	89
XD31	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	48	88
XCLKOUT_EMIF	此引脚为EMIF的时钟输出引脚。	O	79	136
X1	晶振振荡器输入	I/O		103
X2	晶振振荡器输出	I/O		102
EMIF_XRD	EMIF的异步访问模式的读使能	O		149

4.3.3 电源与接地

表 4-4.电源与接地

信号名称	说明	引脚类型	通用输入/输出(GPIO)	176 PZ
VDD	1.2V 数字逻辑电源引脚。建议在每个 VDD 引脚与VSS之间一个最小总电容值约为 4.7μF 的去耦电容器。当不使用内部稳压器时，去耦电容的确切值应由您的系统电压调节解决方案来确定。			4 15 23 29 31 61 101 109 117 126 139 146 154 159 167
VDDA	3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 4.7μF且连接至 VSSA 的去耦电容器。且该引脚接600oH@100MHz磁珠到3.3V。			55
VDDIO	3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为0.1μF 的去耦电容器。			9 71 84 93 107 121 143 170

VDDIO_SW	内部直流/直流稳压器的 3.3V 电源引脚。如果使用内部直流/直流稳压器，则应在该引脚上放置一个 4.7μF 的大容量输入电容。务必将该引脚连接至 VDDIO 引脚。如果需要，可以使用铁氧体磁珠进行隔离，但 VDDIO_SW 和 VDDIO 必须由同一电源供电。			59
VSS	数字接地			3 8 14 22 30 32 60 70 83 92 104 106 108 118 120 125 140 144 147 155 160 166 171
VSS_SW	内部直流/直流稳压器接地。务必将该引脚连接至 VSS 引脚。			57
VSW	内部直流/直流稳压器的开关输出			58
agndABC	模拟地			33
avddhv_A	模拟供电3.3V			45
avddhv_B	模拟供电3.3V			44
avddhv_C	模拟供电3.3V			34

4.3.4 测试,JTAG 与复位

表 4-5.测试JTAG与复位

信号名称	说明	引脚类型	通用输入/输出(GPIO)	176 PZ
TCK	JTAG 时钟。	I		87
TMS	JTAG 模式选择。	I/O		79
VREGENZ	具有内部下拉电阻的内部稳压器使能。直接连接到 VSS（低电平）以启用内部 VREG。直接连接到 VDDIO（高电平）以使用外部电源。	I		82
X1,X2	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。	I/O		103、102
XRSn	器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在512 个OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。应在 XRSn 和 VDDIO 之间放置一个阻值为 2.2kΩ 至 10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512个 OSCCLK 周期内正确地将 XRSn 引脚驱动至VOL。这个引脚的输出缓冲器是一个有内部上拉电阻的开漏。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。	I/OD		80

4.4 GPIO

4.4.1 GPIO 复用引脚表

0	1	2	3
GPIO0	EPWM1A	QSPIA_D2	EM1DQM0
GPIO1	EPWM1B	OUTPUTBAR0	EM1DQM1
GPIO2	EPWM2A	QSPIA_D3	EM1DQM2
GPIO3	EPWM2B	OUTPUTBAR1	EM1DQM3
GPIO4	EPWM3A	QSPIB_D2	SOE
GPIO5	EPWM3B	CANB_OBY	OUTPUTBAR2
GPIO6	EPWM4A	QSPIB_D3	OUTPUTBAR3
GPIO7	EPWM4B	CANB_OBY	OUTPUTBAR4
GPIO8	EPWM5A	CANTXB	ADCSOCAO
GPIO9	EPWM5B	SCITXDB	OUTPUTBAR5
GPIO10	EPWM6A	CANRXB	ADCSOCBO
GPIO11	EPWM6B	SCIRXDB	OUTPUTBAR6
GPIO12	EM1WE	CANTXB	SCIRXDD
GPIO13	SADS/SRE	CANRXB	SCITXDD
GPIO14	XHOLD	SCITXDB	QSPIC_D2
GPIO15	XHOLDA	SCIRXDB	QSPIC_D3
GPIO16	SPISIMOA(QSPIA_DO)	CANTXB	ERRORS
GPIO17	SPISOMIA(QSPIA_D1)	CANRXB	QSPID_D2
GPIO18	SPICLKA	SCITXDB	CANRXA
GPIO19	SPISTEA	SCIRXDB	CANTXA
GPIO20	EQEP1A	SPISIMOC(QSPIC_DO)	CANTXB
GPIO21	EQEP1B	SPISOMIC(QSPIC_D1)	CANRXB
GPIO22	EQEP1S	SPICLKC	SCITXDB
GPIO23	EQEP1I	SPISTEC	SCIRXDB
GPIO24	OUTPUTBAR2	EQEP2A	SPISIMOD(QSPID_DO)
GPIO25	OUTPUTBAR4	EQEP2B	SPISOMID(QSPID_D1)
GPIO26	OUTPUTBAR5	EQEP2I	SPICLKD
GPIO27	OUTPUTBAR6	EQEP2S	SPISTED
GPIO28	SCIRXDA	XZCS6	XZCS6
GPIO29	SCITXDA	XA19	XA19
GPIO30	CANRXA	XA18	XA18
GPIO31	CANTXA	XA17	XA17
GPIO32	SDAA	QSPID_D3	ADCSOCAO
GPIO33	SCLA	OUTPUTBAR7	ADCSOCBO
GPIO34	OUTPUTBAR2	XREADY	XREADY
GPIO35	SCITXDA	XR/W	XR/W
GPIO36	SCIRXDA	XZCSO	XZCSO
GPIO37	OUTPUTBAR4	XZCS7	XZCS7
GPIO38	CANA_OBY	XWEO	XWEO
GPIO39	CANA_OBY	XA16	XA16

GPIO40	SPISIMOB(QSPIB_D0)	XA0/XWE1	XA0/XWE1
GPIO41	SPISOMIB(QSPIB_D1)	XA1	XA1
GPIO42	SPICLKB	XA2	XA2
GPIO43	SPISTEB	XA3	XA3
GPIO44	SPISIMOB(QSPIB_D0)	XA4	XA4
GPIO45	SPISOMIB(QSPIB_D1)	XA5	XA5
GPIO46	SPICLKB	XA6	XA6
GPIO47	SPISTEB	XA7	XA7
GPIO48	OUTPUTBAR1	XD31	XD31
GPIO49	OUTPUTBAR0	XD30	XD30
GPIO50	EQEP1A	XD29	XD29
GPIO51	EQEP1B	XD28	XD28
GPIO52	EQEP1S	XD27	XD27
GPIO53	EQEP1I	XD26	XD26
GPIO54	SPISIMOA(QSPIA_D0)	XD25	XD25
GPIO55	SPISOMIA(QSPIA_D1)	XD24	XD24
GPIO56	SPICLKA	XD23	XD23
GPIO57	SPISTEA	XD22	XD22
GPIO58	SPISIMOC(QSPIC_D0)	XD21	XD21
GPIO59	SPISOMIC(QSPIC_D1)	XD20	XD20
GPIO60	SPICLKC	XD19	XD19
GPIO61	SPISTEC	XD18	XD18
GPIO62	SCIRXDC	XD17	XD17
GPIO63	SCITXDC	XD16	XD16
GPIO64	SCIRXDD	EPWM7A	XD15
GPIO65	SCITXDD	EPWM7B	XD14
GPIO66	SPISIMOD(QSPID_D0)	EPWM8A	XD13
GPIO67	SPISOMID(QSPID_D1)	EPWM8B	XD12
GPIO68	SPICLKD	EPWM9A	XD11
GPIO69	SPISTED	EPWM9B	XD10
GPIO70	QSPIA_D2	EPWM10A	XD9
GPIO71	QSPIA_D3	EPWM10B	XD8
GPIO72	QSPIB_D2	EPWM11A	XD7
GPIO73	QSPIB_D3	EPWM11B	XD6
GPIO74	QSPIC_D2	EPWM12A	XD5
GPIO75	QSPIC_D3	EPWM12B	XD4
GPIO76	QSPID_D2	XD3	XD3
GPIO77	QSPID_D3	XD2	XD2
GPIO78	GPIO78	XD1	XD1
GPIO79	CLKOUT	XD0	XD0
GPIO80	GPIO80	XA8	XA8
GPIO81	GPIO81	XA9	XA9
GPIO82	GPIO82	XA10	XA10
GPIO83	GPIO83	XA11	XA11

GPIO84	GPIO84	XA12	XA12
GPIO85	GPIO85	XA13	XA13
GPIO86	GPIO86	XA14	XA14
GPIO87	GPIO87	XA15	XA15

4.4.2 GPIO 输入 X-BAR

输入 X-BAR 用于将信号从 GPIO 路由到许多不同的 IP 块，如 ADC、eCAP、ePWM 和外部中断（见图 4-5）。表 4-8 列举了输入 X-BAR 目的。更多有关输入 X-BAR 的详细配置，请参见《QXS320F28335参考手册》的交叉开关（X-BAR）章节。

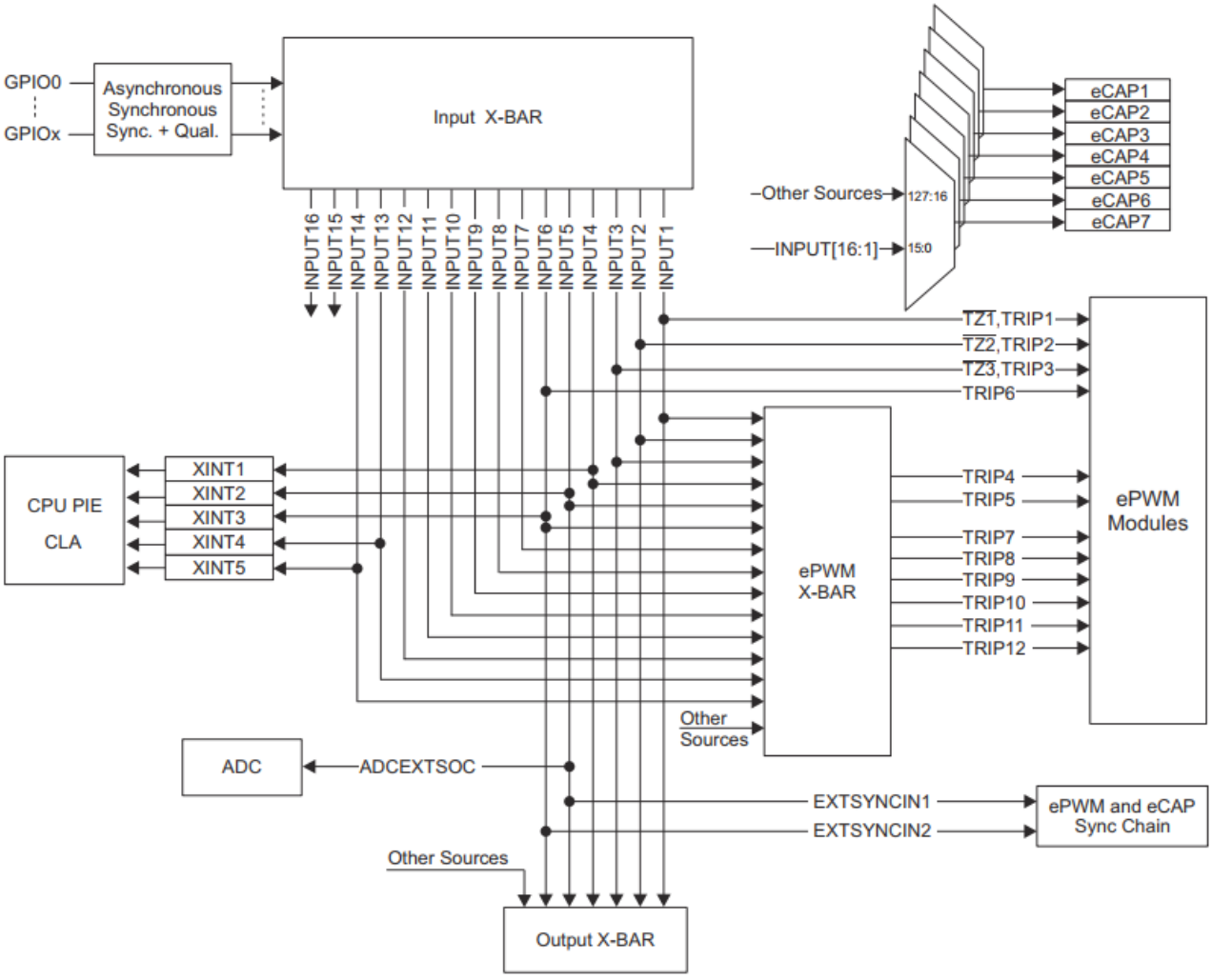


图 4-5.输入 X-BAR

表 4-8.输入 X-BAR 目标模块

输入	目标
INPUT 1	eCAPx、ePWM X-BAR、ePWM[TZ1,TRIP1]、输出 X-BAR
INPUT 2	eCAPx、ePWM X-BAR、ePWM[TZ2,TRIP2]、输出 X-BAR
INPUT 3	eCAPx、ePWM X-BAR、ePWM[TZ3,TRIP3]、输出 X-BAR
INPUT 4	eCAPx、ePWM X-BAR、XINT1、输出 X-BAR
INPUT 5	eCAPx、ePWM X-BAR、XINT2、ADCEXTSOC、EXTSYNCIN1、输出 X-BAR
INPUT 6	eCAPx、ePWM X-BAR、XINT3、ePWM[TRIP6]、EXTSYNCIN2、输出 X-BAR
INPUT 7	eCAPx、ePWM X-BAR
INPUT 8	eCAPx、ePWM X-BAR
INPUT 9	eCAPx、ePWM X-BAR
INPUT 10	eCAPx、ePWM X-BAR
INPUT 11	eCAPx、ePWM X-BAR
INPUT 12	eCAPx、ePWM X-BAR
INPUT 13	eCAPx、ePWM X-BAR、XINT4
INPUT 14	eCAPx、ePWM X-BAR、XINT5
INPUT15	eCAPx
INPUT16	eCAPx

4.4.3 GPIO 输出 X-BAR 和 ePWM X-BAR

输出 X-BAR 具有八个路由到 GPIO 模块的输出。ePWM X-BAR 具有八个路由到每个 ePWM 模块 的输出。图 4-6 显示了输出 X-BAR 和 ePWM X-BAR 的源。有关输出 X-BAR 和 ePWM X-BAR 的详细信息，请参阅《QXS320F28335参考手册》的交叉开关（X-BAR）章节。

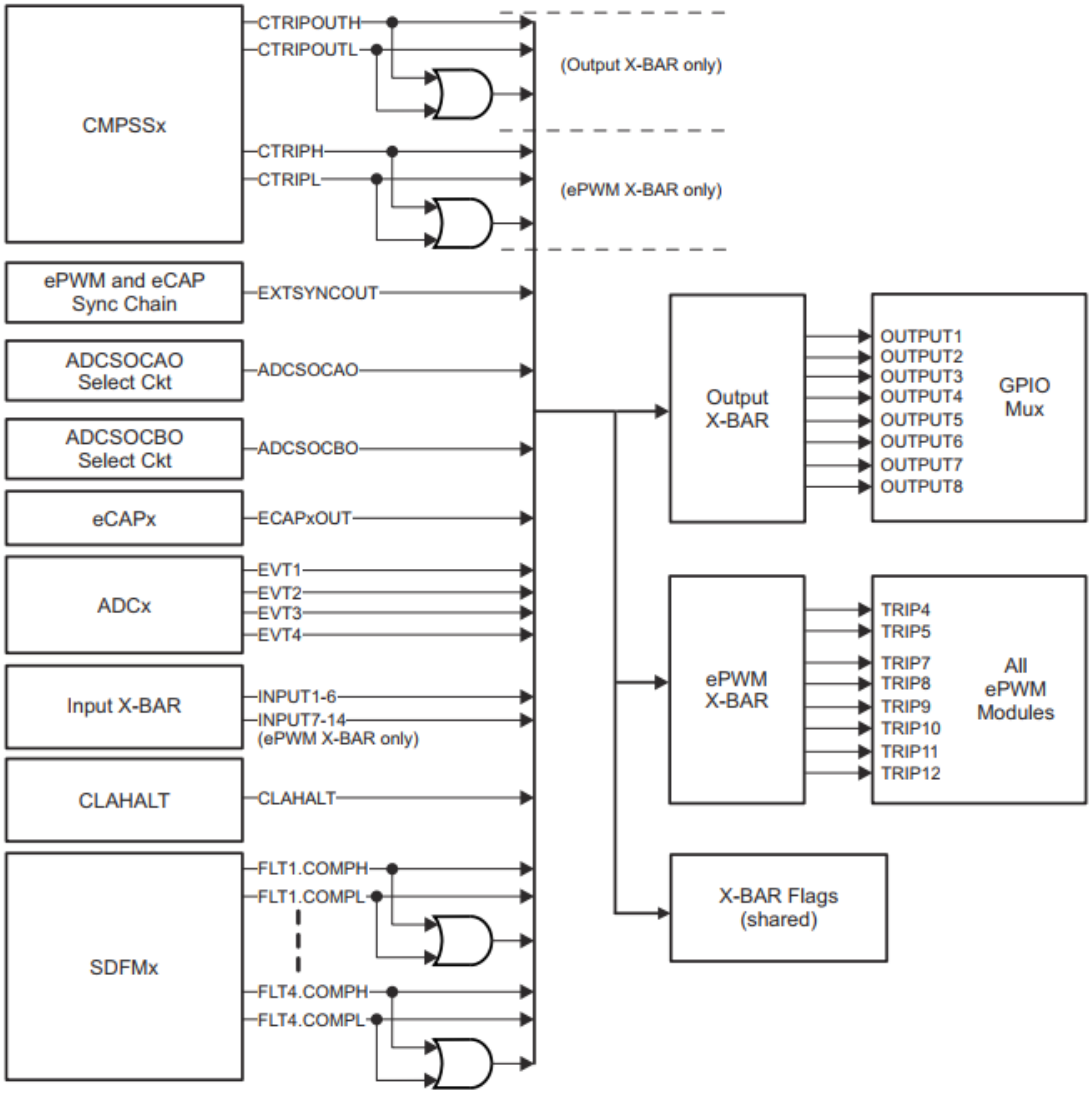


图 4-6.输出 X-BAR和 ePWM X-BAR的源

4.5 GPIO 引脚内部上拉/下拉

QXS320F28335 上的一些引脚有内部上拉或下拉功能。表 5-1 列举了使用时的上拉下拉方向。

默认GPIO 引脚上拉是关闭的，可以通过软件启用。为避免任何悬空的未键合输入，Boot ROM 将特 定封装中未键合的GPIO 引脚启用内部上拉。表 5-1 的其他引脚的上拉与下拉总是打开的，并且不能被禁用。

表 4-9.带有内部上拉和下拉的引脚

引脚	复位 (XRSn = 0)	器件引导	应用
GPIOx（包括 AIO）	禁用上拉	禁用上拉(1)	应用定义
VREGENZ	下拉有效		
其他引脚	上拉或下拉未 存在		

(1) 给定封装中未绑定的引脚将具有由引导 ROM 启用内部上拉。

4.6 未使用引脚的连接

对于无需使用QXS320F28335所有功能的应用，表 4-10 列举了未使用引脚的可接受条件。表 4-10 中 的引脚选择为复用时，其任意选择都是能接受的。表 4-10 未列举的引脚，必须根据节 4 所述进行连接。

表 4-10.未使用引脚的连接

信号名称	可接受的做法
模拟	
VREFHIx	连接至 VDDA（仅在应用中未使用 ADC时适用）
VREFLOx	绑定到 VSSA
数字	
GPIOx	• 无连接（启用内部上拉的输入模式） • 无连接（禁用内部上拉的输出模式） • 上拉或下拉电阻器（任意值电阻器，输入模式，禁用内部上拉）
TCK	• 无连接
TMS	• 无连接
VREGENZ	如果未使用内部稳压器，则连接到 VDDIO
X1	绑定到 VSS
X2	无连接
电源和接地	
VDD	所有VDD的管脚必须使用。
VDDA	如果未使用专用模拟电源，则连接到 VDDIO。
VDDIO	所有VDDIO的管脚必须使用。
VDDIO_SW	始终连接到 VDDIO。
agndABC	接VSSA
avddhv_A	连接至 VDDA
avddhv_B	连接至 VDDA
avddhv_C	连接至 VDDA
信号名称	**可接受的做法**
VSS	所有 VSS 引脚必须连接到电路板接地。
VSS_SW	始终连接到 VSS。
VSSA	如果未使用模拟接地，则连接到 VSS。

5 规格

5.1 绝对最大值范围

在自然通风条件下的工作温度范围内（除非另有说明）

表 5-1.绝对最大值范围

参数		最小值	最大值	单位
电源电压	VDDIO 以 VSS 为基准	-0.3	4.6	V
	VDDA 以 VSSA 为基准	-0.3	4.6	
	VDD 以 VSS 为基准	-0.3	1.5	V
VDDIO 和 VDDIO_SW 引脚之间的电压差		-0.3	0.3	V
输入电压	VIN (3.3V)	-0.3	4.6	V
输出电压	V_O	-0.3	4.6	
输入钳位电流(4)	数字输入（每引脚），I_{IK}（V_{IN} < VSS 或 V_{IN} > VDDIO）	-20	20	mA
	模拟输入（每引脚），$I_{IKANALOG}$（V_{IN} < VSSA 或 V_{IN} > VDDA）	-20	20	
	所有输入的总计，$I_{IKTOTAL}$（V_{IN} < VSS/VSSA 或 V_{IN} > VDDIO/VDDA）	-20	20	
输出电流	数字输出（每引脚），I_{OUT}	-20	20	mA
自然通风温度	T_A	-40	125	℃
结温	T_J	-40	150	℃
贮存温度(3)	T_{stg}	-65	150	℃

（1）应力超出绝对最大值范围所列的值可能会对器件造成永久损坏。这些仅为应力额定值，并不表明器件在这些值可正常工作或者任何其他超过节 5.3 所述条件下可正常工作。长时间处于绝对最大值范围情况下会影响设备的可靠性。

（2）除非另有说明，否则所有电压值均以 VSS 为基准。

（3）长期高温贮存或在最大温度条件下超期使用可能会导致器件总体使用寿命缩短。

（4）每个引脚的连续钳位电流为 ±2mA。请勿在此条件下连续工作，因为 VDDIO/VDDA 电压可能会在内上升并影响其他电气规格。

5.2 产品 ESD 范围

表 5-2.产品的 ESD 范围

参数			值	单位
QXS320F28335				
V(ESD)	静电放电(ESD)	人体放电模型（HBM），符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型（CDM），符合 ANSI/ ESDA/JEDEC JS-002(2)	±500	

（1）JEDEC 目录 JEP155 状态表明 500V HBM 允许带有标准 ESD 控制过程的安全制造。

（2）JEDEC 目录 JEP157 状态表明 250V CDM 允许带有标准 ESD 控制过程的安全制造。

5.3 推荐工作条件

表 5-3.推荐工作条件

参数		最小值	额定值	最大值	单位
设备供电电压，VDDIO与VDDA	启用内部BOR	VBOR-VDDIO（MAX）+VBOR-GB	3.3	3.63	V
	禁用内部BOR	2.8	3.3	3.63	
设备电源电压，VDD		1.14	1.2	1.32	V
设备接地，VSS			0		V
模拟地，VSSA			0		V
SR_{SUPPLY}	VDDIO，VDDA到VSS的供电斜率速率	20		100	mV/us
$t_{VDDIO-RAMP}$	从1V到VBOR-VDDIO（MAX）VDDIO供电斜坡时间			10	ms
V_{IN}	数字输入电压	VSS-0.3		VDDIO+0.3	V
	模拟输入电压	VSSA-0.3		VDDA+0.3	V
V_{BOR-GB}	VDDIO BOR 保护带		0.1		V
结温，T_J		-40		125	℃

(1)TJ= 105℃以上操作持续扩展将减少设备寿命。

(2)电气特性表中的 VDDIO BOR 电压(VBOR-VDDIO[MAX])决定了设备操作的电压下限。HX 建议系统设计人员预算额外的保护带（VBOR-GB),如图 5-1 供电电压图所示。

(3)默认启用内部 BOR。

(4)电源斜坡速率快于该值，能触发片上 ESD 保护。

(5)HX 建议采用 VBOR-GB，以避免 3.3V VDDIO 系统因正常电源噪声或负载瞬态事件而导致 BOR 复位。良好的系统调节器设计和解耦电容(遵循系统调节器规格)是重要的。VBOR-GB 的值是系统级设计考虑因素；这里列出的是许多应用程序的典型示例。

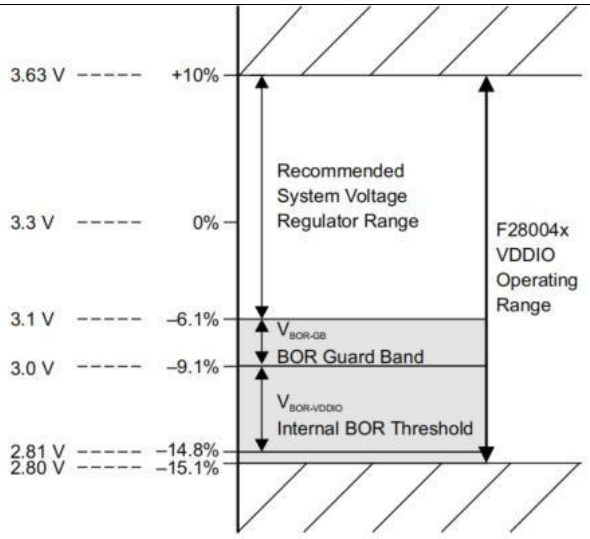


图 5-1供电电压

5.4 耗电概述

本节中列出的电流值仅代表给定的测试条件，而不是绝对的最大的可能。应用程序中的实际设备电流将随应用程序代码和引脚而变化配置。第 5.4.1 节列出了系统电流消耗值。

5.4.1 系统电流消耗（外部电源）

在自然通风条件下的工作温度范围内测得（除非另有说明）。

典型值：Vnom，30℃

表 5- 4.系统电流消耗

参数		测试条件	最小值	典型值	最大值	单位
空闲模式（IDLE）						
I_{DD}	设备处于空闲模式时的 VDD 电流消耗(1)	-CPU 处于IDLE 模式 -Flash 断电 -XCLKOUT 关闭		32	40	mA
I_{DDA}	设备处于空闲模式下的 VDDA 电流消耗			0.9	1.2	mA
停机模式（HALT）						
I_{DD}	设备处于停机模式时的 VDD 电流消耗(1)	-CPU 处于停机模式 -Flash 断电 -XCLKOUT 关闭		3	20	mA
I_{DDA}	设备处于停机模式下的 VDDA 电流消耗			0.2	0.5	mA

(1) IDD 最大值是在 VDD 处于最大建议工作条件下报告的值。对于内部 VREG 和直流/直流稳压器表 ，该 VDD电源将处于稳定的 VDD 典型值电压。因此，与内部 VREG 和直流/直流稳压器表相比 ，此外部电源表中报告的电流值将更高。

5.4.2 工作模式测试描述

第 5.4.1 节，节 5.4.2 和第 5.4.3 节列出了设备运行模式的当前电流消耗值。运行模式提供了应用程序可能遇到情况的预测。为实现所示值运行的测试用例将循环执行以下操作。以下列表中未列出的外设已禁用其时钟:

- 代码从 RAM 中执行。
- 读取 FLASH 并保持激活状态。
- I/O 引脚不驱动任何外部组件。
- 使用以下所有通信外设 ：SPI-A 至 SPI-C ；SCI-A 至 SCI-C ；I2C-A ；CAN-A 至 CAN-C
- ePWM-1 至 ePWM-3 在 6 个引脚上生成 5MHz 输出。
- EPWM-4 至 EPWM-7 处于 HRPWM 模式 ，并在 6 个引脚上生成 25MHz 输出。
- CPU 计时器激活。
- CPU 进行 FIR16 计算。
- DMA 进行连续 32 位传输。
- 所有 ADC 执行连续转换。
- eCAP-1 至 eCAP-7 处于 APWM 模式 ，切换频率为 250kHz。
- 启用所有 eQEP 看门狗并执行计数。
- 启用系统看门狗并执行计数。

5.4.3 减少电流消耗

图 5-2、图 5-3、图 5-4 显示了器件上的频率与电流消耗之间关系的典型代表。节 5.4.1 中的工作测试是在 VNOM 和室温下的整个频率范围内运行的。实际结果因系统实施和条件而异。

VDD 内核电源上的漏电流将以指数方式随工作温度的升高而增加 ，如图 5-5 所示。停机模式下的电流消耗主要是漏电流，因为内部振荡器已断电时，就不会有有源开关。

图 5-5 显示了温度范围内的典型漏电流。在标称电压条件下，该器件被置于停机模式。

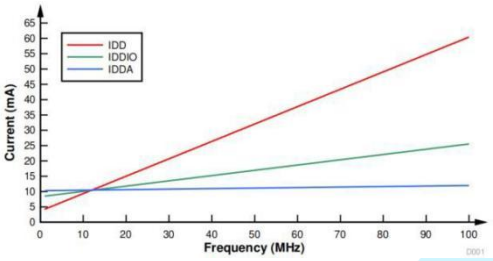


图 5- 2.电流与频率间的关系-外部电源

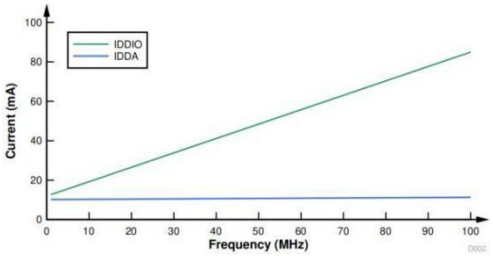


图 5- 3.电流与频率间的关系-内部 VREG

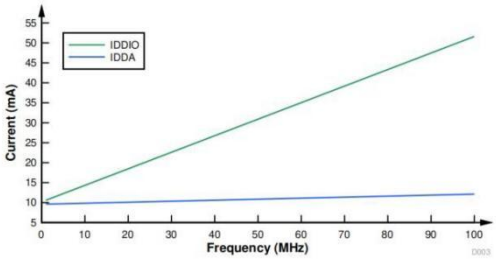


图 5- 4.电流与频率间的关系-直流/直流

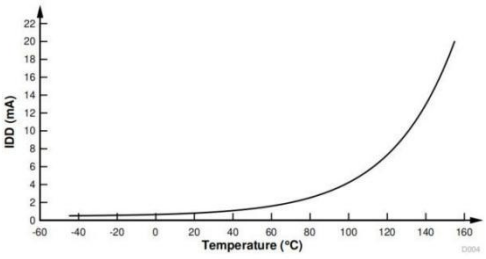


图 5- 5.停机（HALT）模式电流与温度间的关系(°C)

注：该电流消耗值为实验室测得，仅供参考。

5.4.4 减少电流消耗

QXS320F28335提供了一些降低设备电流消耗的方法：

•为进一步降低应用在空闲期间的电流消耗，可以进入两种低功耗模式之一 — IDLE 或 STANDBY。

•如果代码从 RAM 中运行，闪存模块可能会断电。

•禁用输出功能引脚的上拉。

•每个外设都有一个单独的时钟使能位(PCLKCRx)。减少电流消耗可通过关闭给定应用程序中不使用的任何外设的时钟来实现。典型的电流减少可以通过使用 PCLKCRx 寄存器禁用时钟来实现。

•要在 LPM 中实现最低的 VDDA 电流消耗，请参阅《QXS320F28335参考手册》模数转换器(ADC)章节，以确保每个模块也被关闭。

表 5-5. 外设关闭典型电流

	I_{DDIO} 电流减少（mA）
ADC(2)	0.8
CAN	1.1
CLA	0.4
CLB	1.1
CPU Timer	0.1
DMA	0.5
eCAP1 至 eCAP5	0.1
eCAP6 至 eCAP7(3)	0.4
ePWM	0.7
eQEP	0.1
HRPWM	0.8
I2C	0.3
SCI	0.2
SPI	0.2
DCC	0.1
100MHz 时的 PLL	22.9

（1）复位时，所有外设均禁用。使用PCLKCRx寄存器以单独地启用外设。对于具有多个实例的外设，针对每个模块引用电流。

（2）此电流代表了每个模块的数字部分汲取的电流。

注：该电流消耗值为实验室测得，仅供参考。

5.5 电气特性

在建议运行条件下测得（除非另有说明）。

表 5-6.电气特性

参数			测试条件	最小值	典型值	最大值	单位
数字与模拟 IO							
V_{OH}	高电平输出电压		$I_{OH}=I_{OH}$最小	VDDIO*0.8			V
			I_{OH}=-100μA	VDDIO-0.2			
V_{OL}	低电平输出电压		$I_{OL}=I_{OL}$最大			0.4	V
			I_{OL}=100μA			0.2	
I_{OH}	所有输出引脚的高电平输出源电流			-4			mA
I_{OL}	所有输出引脚的低电平输出源电流					4	mA
R_{OH}	所有输出引脚的高电平输出阻抗				70		Ω
R_{OL}	所有输出引脚的低电平输出阻抗				70		Ω
V_{IH}	高电平输入电压（3.3V）			2.0		V_{DDIO}+0.3	V
V_{IL}	低电平输入电压（3.3V）			VSS-0.3		0.8	V
$V_{HYSTERESIS}$	输入滞后			150			mV
$I_{PULLDOWN}$	输入电流	带下拉的输入（除 A0、A1 的其他下拉管脚）	VDDIO=3.3V V_{IN}=VDDIO		100		μA
		带下拉的输入（A0、A1 管脚）	VDDIO=3.3V V_{IN}=VDDIO		200		μA
I_{PULLUP}	输入电流	带上拉的输入	VDDIO=VDDA=3.3V V_{IN}=0V		100		μA
I_{LEAK}	引脚漏电流		0V≤V_{IN}≤VDDIO	5		5	μA
VREG、直流/直流和 BOR							
$V_{POR-VDDIO}$	VDDIO 上电复位电压				2.7		V
$V_{BOR-VDDIO}$	VDDIO 掉电复位电压				2.6		V

（1）有关具有上拉或下拉功能的引脚列表，请参阅表 4-9；

（2）模拟引脚是单独指定的，请参阅表 5-17。

5.6 热阻特征

5.6.1 PK 封装的热阻特性

		℃/W(1)	空气气流（lfm）(2)
$R\Theta_{JC}$	结至外壳热阻	7.6	不适用
$R\Theta_{JB}$	结至电路板热阻	24.2	不适用
$R\Theta_{JA}$ （高 k PCB）	结自由空气热阻	46.1	0
$R\Theta_{JMA}$	结至流动空气热阻	37.3	150
		34.8	250
		32.6	500
Psi_{JT}	结至封装顶部	0.2	0
		0.4	150
		0.4	250
		0.6	500
Psi_{JB}	结至开发板	23.8	0
		22.8	150
		22.4	250
		21.9	500

（1）这些值基于 JEDEC 定义的 2S2P 系统(Theta JC [RΘJC]值除外，该值基于 JEDEC 定义的 1S0P 系统），并根据环境和应用而变化。要了解更多信息，请参见这些 EIA/JEDEC 热测试标准:

- JESD51-2，集成电路热测试方法环境条件-自然对流(静止空气)
- JESD51-3，含铅表面贴装封装的有效导热测试板
- JESD51-7，含铅表面贴装封装的高效导热测试板
- JESD51-9，区域阵列表面贴装包热测量测试板

（2）1 fm = 线性英尺每分钟

5.6.2 PZ 封装的热阻特性

参数		℃/W(1)	空气气流（lfm）(2)
$R\Theta_{JC}$	结至外壳热阻	7.6	不适用
$R\Theta_{JB}$	结至电路板热阻	24.2	不适用
$R\Theta_{JA}$ （高 k PCB）	结自由空气热阻	46.1	0
$R\Theta_{JMA}$	结至流动空气热阻	37.3	150
		34.8	250
		32.6	500
Psi_{JT}	结至封装顶部	0.2	0
		0.4	150
		0.4	250
		0.6	500
Psi_{JB}	结至开发板	23.8	0
		22.8	150
		22.4	250
		21.9	500

表 5- 8.PZ 封装的热阻特性

（1）这些值基于 JEDEC 定义的 2S2P 系统(Theta JC [RΘJC]值除外，该值基于 JEDEC 定义的 1S0P 系统），并根据环境和应用而变化。要了解更多信息，请参见这些 EIA/JEDEC 热测试标准:

- JESD51-2，集成电路热测试方法环境条件-自然对流(静止空气)
- JESD51-3，含铅表面贴装封装的有效导热测试板
- JESD51-7，含铅表面贴装封装的高效导热测试板
- JESD51-9，区域阵列表面贴装包热测量测试板

（2）1 fm = 线性英尺每分钟

5.6.3 PM 封装的热阻特性

表 5- 9.PM 封装的热阻特性

参数		℃/W(1)	空气气流（lfm）(2)
$R\Theta_{JC}$	结壳热阻	12.4	不适用
$R\Theta_{JB}$	结板热阻	25.6	不适用
$R\Theta_{JA}$（高kPCB）	结自由空气热阻	51.8	0
$R\Theta_{JMA}$	结至流动空气热阻	42.2	150
		39.4	250
		36.5	500
Psi_{JT}	结至封装顶部	0.5	0
		0.9	150
		1.1	250
		1.4	500
Psi_{JB}	结至开发板	25.1	0
		23.8	150
		23.4	250
		22.7	500

（1）这些值基于 JEDEC 定义的 2S2P 系统(Theta JC [RΘJC]值除外，该值基于 JEDEC 定义的 1S0P 系统），并根据环境和应用而变化。要了解更多信息，请参见这些 EIA/JEDEC 热测试标准:

- JESD51-2，集成电路热测试方法环境条件-自然对流(静止空气)
- JESD51-3，含铅表面贴装封装的有效导热测试板
- JESD51-7，含铅表面贴装封装的高效导热测试板
- JESD51-9，区域阵列表面贴装包热测量测试板

（2）1 fm = 线性英尺每分钟

5.6.4 RSH 封装的热阻特性

参数		℃/W(1)	空气气流（lfm）(2)
$R\Theta_{JC}$	结壳热阻	11.9	不适用
$R\Theta_{JB}$	结板热阻	3.3	不适用
$R\Theta_{JA}$（高kPCB）	结自由空气热阻	25.8	0
$R\Theta_{JMA}$	结至流动空气热阻	17.4	150
		15.1	250
		13.4	500
Psi_{JT}	结至封装顶部	0.2	0
		0.3	150
		0.4	250
		0.4	500
Psi_{JB}	结至开发板	3.3	0
		3.2	150
		3.2	250
		3.2	500
$R\Theta_{JC}$，底部	结至底部外壳热阻	0.7	0

表 5- 10. RSH 封装的热阻特性

（1）这些值基于 JEDEC 定义的 2S2P 系统(Theta JC [RΘJC]值除外，该值基于 JEDEC 定义的 1S0P 系统），并根据环境和应用而变化。要了解更多信息，请参见这些 EIA/JEDEC 热测试标准:

- JESD51-2，集成电路热测试方法环境条件-自然对流(静止空气)
- JESD51-3，含铅表面贴装封装的有效导热测试板
- JESD51-7，含铅表面贴装封装的高效导热测试板
- JESD51-9，区域阵列表面贴装包热测量测试板

（2）1 fm = 线性英尺每分钟

5.7 散热设计注意事项

根据最终应用程序的设计和操作配置，IDD 和 IDDIO 电流可能会有所不同。最终产品中超过推荐的最大功耗耗散可能需要额外的散热增强措施。环境温度(TA)随最终应用和产品设计而变化。影响可靠性和功能性的关键因素是 TJ 结温，而不是环境温度。因此，应采取措施保持 TJ 在规定的限度内。应测量 Tcase（封装体表面温度）以估计 TJ 结温情况。

5.8 模拟外设

本节介绍了模拟子系统模块。

设备的模拟模块包括ADC和温度传感器。

模拟子系统具有如下特点：

- 灵活的电压参考

  -ADC 参考 VREFHIx 和 VREFLOx 引脚

- VREFHIx 引脚电压可由外部驱动或由内部带隙电压基准生成。
- 内部电压基准范围可选为 0V 至 3.3V 或 0V 至 2.5V。
- 灵活的引脚使用

  – 内部连接到所有 ADC 上的 VREFLO ，用于偏移量自校准

图 5-6 展示了 100pin 引脚 PZ LQFP 的模拟子系统方框图。

表5-14 列举了模拟引脚与内部连接。表 5-8 列举了模拟信号的描述。图 5-9 展示了模拟部分连接。

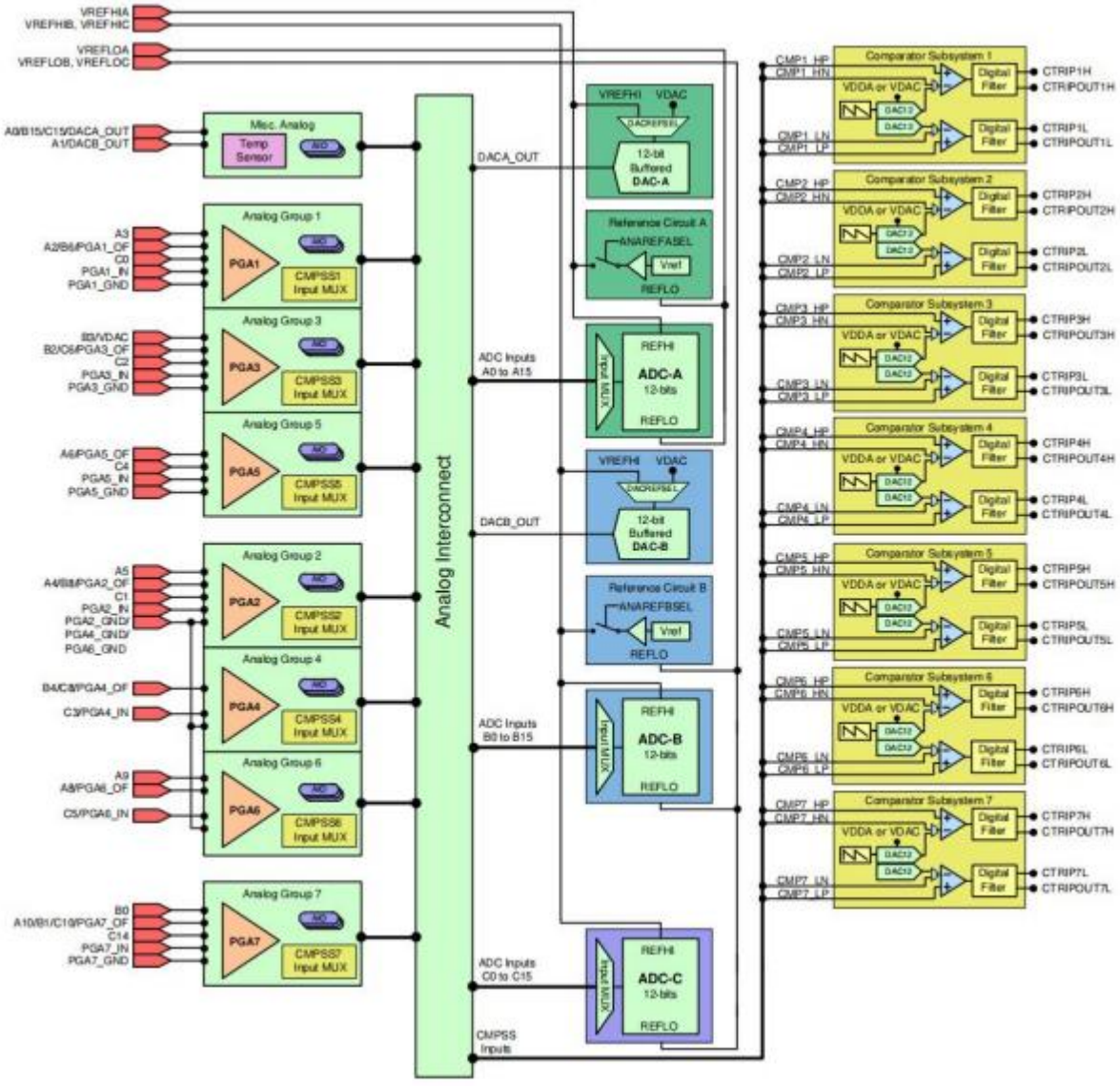
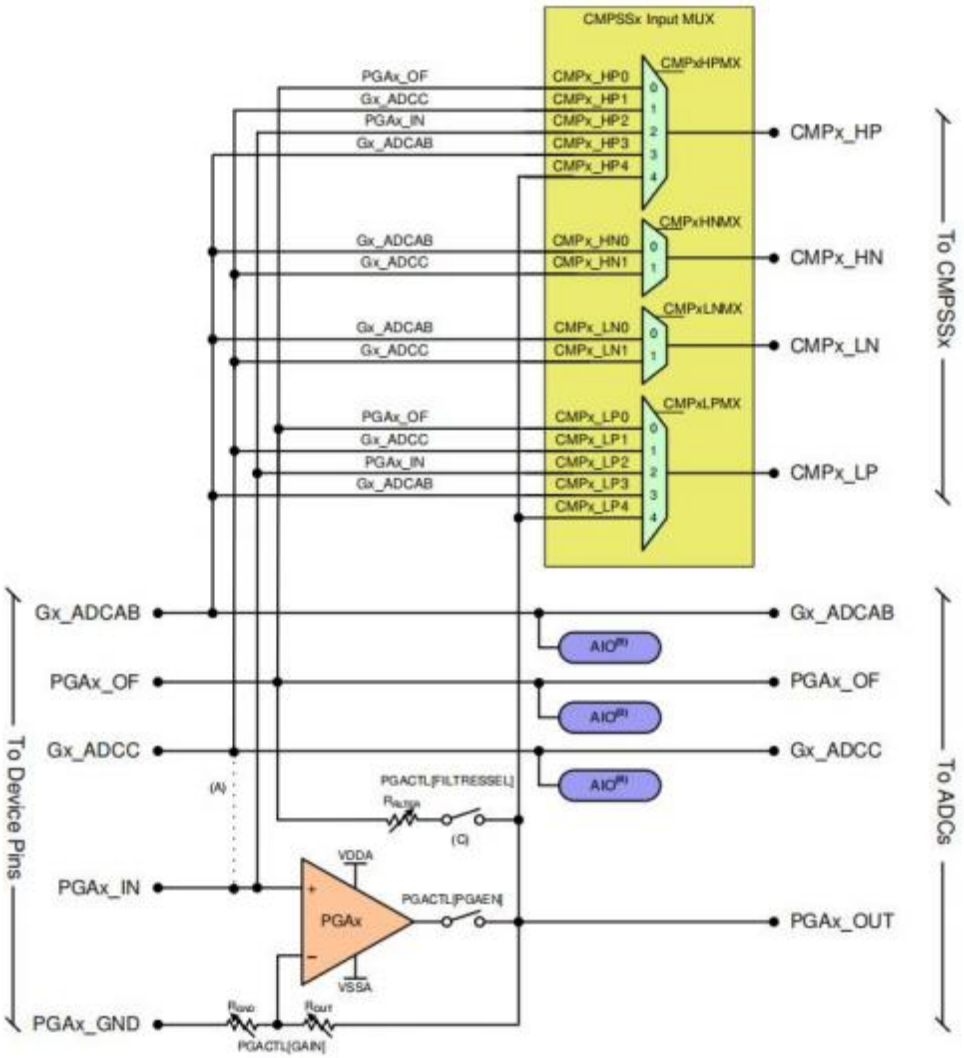


图 5-6 模拟子系统框图（100pin PZ LQFP 封装）

图 5-9 显示了模拟组连接。请参阅模拟引脚和内部连接表，了解每个封装的每个组的特定连接。模拟信号说明表提供了模拟信号的说明。



A. 在较低引脚数的封装中 ，ADCC 输入可允许将该引脚用作 ADC 输入、负比较器输入或数字输入。

B. AIO 仅支持数字输入模式。

C. PGA RFILTER 路径在某些器件版本上不可用。

图 5-9 模拟部分连接

表 5-11.模拟引脚与内部连接

引脚名称	组名称	封装			始终连接 (无多路复用器)					比较器子系统（多路复用器）				AIO 输入
		100 PZ	64 PM	56 RSH	ADCA	ADCB	ADCC	PGA	DAC	高正	高负	低正	低负	
VREFHIA	-	25	16	14										
VREFHIB	-	24												
VREFHIC	-													
VREFLOA	-	27	17	15	A13									
VREFLOB	-	26				B13								
VREFLOC	-						C13							
模拟组 1										**CMP1**				
A3	G1_ADCAB	10			A3					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO233
A2/B6		9	9	8	A2	B6				HPMXSEL = 0		LPMXSEL = 0		AIO224
C0	G1_ADCC	19	12	10			C0			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO237
		18								HPMXSEL = 2		LPMXSEL = 2		
		14	10	9										
-					A11	B7				HPMXSEL = 4		LPMXSEL = 4		
模拟组 2										**CMP2**				
A5	G2_ADCAB	35			A5					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO234
A4/B8		36	23	21	A4	B8				HPMXSEL = 0		LPMXSEL = 0		AIO225
C1	G2_ADCC	29	18	16			C1			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO238
		30								HPMXSEL = 2		LPMXSEL = 2		
		32	20	18										
-					A12	B9				HPMXSEL = 4		LPMXSEL = 4		
模拟组 3										**CMP3**				
B3	G3_ADCAB	8	8	7		B3				HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO242
B2/C6		7	7	6		B2	C6			HPMXSEL = 0		LPMXSEL = 0		AIO226
C2	G3_ADCC	21	13	11			C2			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO244
		20								HPMXSEL = 2		LPMXSEL = 2		

引脚名称	组名称	封装			始终连接（无多路复用器）					比较器子系统（多路复用器）				AIO 输入
		100 PZ	64 PM	56 RSH	ADCA	ADCB	ADCC	PGA	DAC	高正	高负	低正	低负	
		15	10	9										
-						B10	C7			HPMXSEL = 4		LPMXSEL = 4		
模拟组 4										**CMP4**				
B5	G4_ADCAB					B5				HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO243
B4/C8		39	24	22		B4	C8			HPMXSEL = 0		LPMXSEL = 0		AIO227
C3	G4_ADCC	31	19	17			C3			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO245
										HPMXSEL = 2		LPMXSEL = 2		
		32	20	18										
-						B11	C9			HPMXSEL = 4		LPMXSEL = 4		
模拟组 5										**CMP5**				
A7	G5_ADCAB				A7					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO235
		6	6		A6					HPMXSEL = 0		LPMXSEL = 0		AIO228
C4	G5_ADCC	17	11				C4			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO239
		16								HPMXSEL = 2		LPMXSEL = 2		
		13	10	9										
					A14					HPMXSEL = 4		LPMXSEL = 4		
模拟组 6										**CMP6**				
A9	G6_ADCAB	38			A9					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO236
A8		37			A8					HPMXSEL = 0		LPMXSEL = 0		AIO229
C5	G6_ADCC	28					C5			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO240
										HPMXSEL = 2		LPMXSEL = 2		
		32	20	18										

引脚名称	组名称	封装			始终连接（无多路复用器）					比较器子系统（多路复用器）				AIO 输入
		100 PZ	64 PM	56 RSH	ADCA	ADCB	ADCC	PGA	DAC	高正	高负	低正	低负	
-	PGA6_OUT(1)				A15			PGA6_OUT		HPMXSEL = 4		LPMXSEL = 4		
模拟组 7										CMP7				
B0	G7_ADCAB	41				B0				HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO241
A10/B1/C10		40	25	23	A10	B1	C10			HPMXSEL = 0		LPMXSEL = 0		AIO230
C14	G7_ADCC	44					C14			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO246
		43								HPMXSEL = 2		LPMXSEL = 2		
		42												
-						B12	C11			HPMXSEL = 4		LPMXSEL = 4		
其他模拟														
A0/B15/C15		23	15	13	A0	B15	C15							AIO231
A1/		22	14	12	A1									AIO232
C12							C12							AIO247
-	温度传感器(1)					B14								

表 5-12.模拟信号说明

信号名称	说明
AIOx	AIO 引脚的数字输入
Ax	ADC A输入
Bx	ADC B 输入
Cx	ADC C输入
CMPx_HNy	比较器子系统高电平比较器负输入

信号名称	说明
CMPx_HPy	比较器子系统高电平比较器正输入
CMPx_LNy	比较器子系统低电平比较器负输入
CMPx_LPy	比较器子系统低电平比较器正输入
温度传感器	内部温度传感器

5.8.1 模数转换器（ADC）

ADC 模块是一个分辨率为 12 位的逐次逼近(SAR)型 ADC。ADC由一个核心和一个封装器组成。核心由模拟电路组成，包括通道选择MUX、采样保持（S/H）电路、逐次逼近电路、电压参考电路和其他模拟支持电路。包装器由配置和控制ADC的数字电路组成。这些电路包括用于可编程转换的逻辑、结果寄存器、与模拟电路的接口、与外围总线的接口、后处理电路以及与其他片上模块的接口。

ADC模块有16个通道，可配置为两个独立的8通道模块。两个独立的8通道模块可以级联形成一个16通道模块。虽然有多个输入通道和两个序列器，但在ADC模块中只有一个转换器。ADC模块框图如图5-1所示。

每个 ADC 有如下特点：

- 12位ADC核心内置双采样和保持(S/H)
- 同时采样或顺序采样模式；
- 模拟输入:0 V至3.3 V；
- 快速转换时间运行在25 MHz，ADC时钟，或12.5 MSPS；
- 最大支持 16 通道输入复用；
- 自动排序能力提供多达16个“自动转换”在一个会话。每个转换可以编程为选择16个输入通道中的任何一个；
- 测序仪可以作为两个独立的8状态测序仪或作为一个大的16状态测序仪(即两个级联的8状态测序仪)；
- 多个触发源：
  - S/W：软件立即启动
  - 所有 ePWM：ADCSOC A 或 B
  - GPIO XINT2
- 灵活的中断控制允许在每个序列末端(EOS)或每个其他EOS上发出中断请求
- Sequencer可以在“启动/停止”模式下操作，允许多个“时间顺序触发器”同步转换
- ePWM触发器可以在双序列模式下独立操作
- 采样保持(S/H)采集时间窗具有单独的预尺度控制。

注：并非每个通道都可以从所有 ADC 输出引脚，具体请参考节 6 确定哪个通道可用。

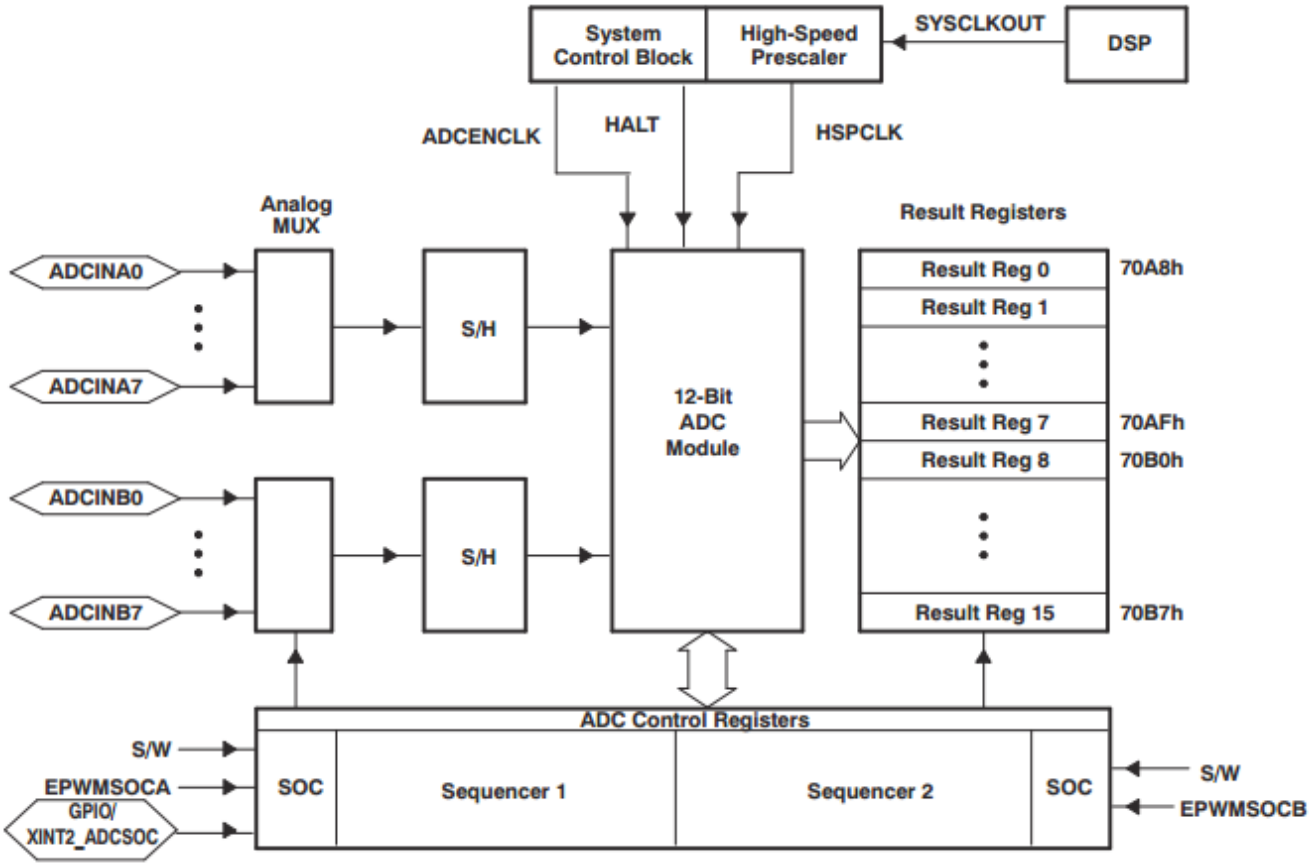


图 5-1 ADC 模块方框图

为了获得指定的ADC精度，适当的电路板布局是非常关键的。在可能的最大程度上，通向ADCIN引脚的走线不应该靠近数字信号路径。这是为了最大限度地减少数字线路上的开关噪声，因为它们与ADC输入相耦合。此外，必须使用适当的隔离技术将ADC模块电源引脚(VDD1A18、VDD2A18、VDDA2、vddaaio)与数字电源隔离开来。器件的ADC引脚连接如图8-9所示。

5.8.1.1 未使用ADC连接

即使不使用ADC，也建议保持模拟电源引脚的连接。以下是ADC引脚如何连接的摘要，如果在应用中不使用ADC。

- VDD1A18/VDD2A18 – Connect to VDD
- VDDA2, VDDAIO – Connect to VDDIO
- VSS1AGND/VSS2AGND, VSSA2, VSSAIO – Connect to VSS
- ADCLO – Connect to VSS
- ADCREFIN – Connect to VSS
- ADCREFP/ADCREFM – Connect a 100-nF cap to VSS
- ADCRESEXT – Connect a 20-kΩ resistor (very loose tolerance) to VSS.
- ADCINAn, ADCINBn – Connect to VSS

当不使用ADC时，请确保ADC模块的时钟未打开，以实现节能。

当应用中使用ADC模块时，应将未使用的ADC输入引脚连接到模拟地(VSS1AGND/VSS2AGND)

5.8.1.2 ADC Registers

ADC操作由表8-8中列出的寄存器进行配置、控制和监控。

表 5-13 ADC配置选项

NAME	ADDRESS(1)	ADDRESS(2)	SIZE (x16)	DESCRIPTION
ADCTRL1	0x7100		1	ADC Control Register 1
ADCTRL2	0x7101		1	ADC Control Register 2
ADCMAXCONV	0x7102		1	ADC Maximum Conversion Channels Register
ADCCHSELSEQ1	0x7103		1	ADC Channel Select Sequencing Control Register 1
ADCCHSELSEQ2	0x7104		1	ADC Channel Select Sequencing Control Register 2
ADCCHSELSEQ3	0x7105		1	ADC Channel Select Sequencing Control Register 3
ADCCHSELSEQ4	0x7106		1	ADC Channel Select Sequencing Control Register 4
ADCASEQSR	0x7107		1	ADC Auto-Sequence Status Register
ADCRESULT0	0x7108	0x0B00	1	ADC Conversion Result Buffer Register 0
ADCRESULT1	0x7109	0x0B01	1	ADC Conversion Result Buffer Register 1
ADCRESULT2	0x710A	0x0B02	1	ADC Conversion Result Buffer Register 2
ADCRESULT3	0x710B	0x0B03	1	ADC Conversion Result Buffer Register 3
ADCRESULT4	0x710C	0x0B04	1	ADC Conversion Result Buffer Register 4
ADCRESULT5	0x710D	0x0B05	1	ADC Conversion Result Buffer Register 5
ADCRESULT6	0x710E	0x0B06	1	ADC Conversion Result Buffer Register 6
ADCRESULT7	0x710F	0x0B07	1	ADC Conversion Result Buffer Register 7
ADCRESULT8	0x7110	0x0B08	1	ADC Conversion Result Buffer Register 8
ADCRESULT9	0x7111	0x0B09	1	ADC Conversion Result Buffer Register 9
ADCRESULT10	0x7112	0x0B0A	1	ADC Conversion Result Buffer Register 10
ADCRESULT11	0x7113	0x0B0B	1	ADC Conversion Result Buffer Register 11
ADCRESULT12	0x7114	0x0B0C	1	ADC Conversion Result Buffer Register 12
ADCRESULT13	0x7115	0x0B0D	1	ADC Conversion Result Buffer Register 13
ADCRESULT14	0x7116	0x0B0E	1	ADC Conversion Result Buffer Register 14
ADCRESULT15	0x7117	0x0B0F	1	ADC Conversion Result Buffer Register 15
ADCTRL3	0x7118		1	ADC Control Register 3
ADCST	0x7119		1	ADC Status Register
Reserved	0x711A – 0x711B		2	
ADCREFSEL	0x711C		1	ADC Reference Select Register
ADCOFFTRIM	0x711D		1	ADC Offset Trim Register
Reserved	0x711E – 0x711F		2	

注：请参阅《QXS320F28335参考手册》模数转换器(ADC)章节的确保同步操作部分。

5.8.1.3 ADC电气特性

在自然通风条件下的工作温度范围内测得（除非另作说明）

表 5-14.ADC 工作条件

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK（来自于 PERx.SYSCLK)		80			MHz
采样速率	160MHz SYSCLK	0.01	5	5.71	MSPS
采样窗口持续（通过 PERx.SYSCLK 与 ACQPS 设置）(1)	160MHz SYSCLK	4.5	4.5	4.5	SYSCLK
VREFHI	外部参考	1.65	2.5或3.0	VDDA	V
VREFHI	内部参考=3.3V		1.65		V
	内部参考=2.5V		2.5		V
VREFLO		VSSA	VSSA	VSSA	V
VREFHI-VREFLO		1.65		VDDA	V
转换范围	内部参考=3.3V	0		3.3	V
	内部参考=2.5V	0		2.5	V
	外部参考	VREFLO		VREFHI	V

(1) 该采样窗口必须至少达到正常 ADC 操作的 1 个 ADCCLK 周期长度；

(2) 内部参考模式，设备VREFHI 引脚由参考电压驱动。用户在该模式时不应使用引脚驱动。

5.8.2 温度传感器

5.8.2.1 温度传感器电气数据和时序

该温度传感器可用于测量器件结温。温度传感器通过ADC的内部连接进行采样，并通过QX提供的软件转换为温度。当温度传感器采样时，ADC必须满足5.8.2.1.1中的采样时间。

5.8.2.1.1 温度传感器特性

理论设计指标（除非另作说明）

表 5-18. 温度传感器特性

参数			最小值	典型值	最大值	单位
Tacc	温度精度		-40	±2	+125	°C
tstartup	启动时间（TSNSCTL[ENABLE]至采样温度传感器）			200		μs
tSH	ADC 采样保持时间					ns

5.9 控制外设

5.9.1 增强型捕获(eCAP)

1 类增强型捕捉(eCAP) 模块用于注重外部事件精确时序的系统。

eCAP 模块的应用包括 ：

- 旋转机械的速度测量 （ 例如 ， 通过霍尔传感器感应齿状链轮 ）
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅

eCAP 模块包括以下特性 ：

- 4 事件时间戳寄存器 （ 每个 32 位 ）
- 边缘极性选择 ， 最多选择四个序列时间戳捕获事件
- 四个事件中的任何一个发生时的 CPU 中断
- 独立的 DMA 触发器
- 多达 4 个事件时间戳的单脉冲捕捉
- 在一个 4 深循环缓冲区中连续捕获时间戳的模式
- 绝对时间戳采集
- 差分(Δ) 模式时间戳采集
- 128:1 输入多路复用器
- 事件预分频器
- 当未用于捕获模式时，eCAP 模块可配置为单通道 PWM 输出。

1 类 eCAP 的捕捉功能通过 0 类 eCAP 得到增强 ， 增加了以下特性 ：

- 事件过滤器复位位

  – 向 ECCTL2[CTRFILTRESET] 写入 1 将清零事件滤波器、模计数器和任何挂起的中断标志。

这对于初始化和调试很有用。

- 模数计数器状态位。

– 模数计数器(ECCTL2[MODCTRSTS]) 指示接下来将加载哪个捕捉寄存器。在 0 类 eCAP 中，

无法知道模 数计数器的当前状态。

- DMA 触发源
  – eCAPxDMA 被添加为一个 DMA 触发器。 CEVT[1 –4] 可以配置为 eCAPxDMA 的源。
- 输入多路复用器
  – ECCTL0[INPUTSEL] 选择 128 个输入信号之一。
- EALLOW 保护
  – EALLOW 保护已添加到关键寄存器。

输入 X-BAR 必须用于将器件输入引脚连接到模块。输出 X-BAR 必须用于将输出信号连接到OUTPUTXBARx 输出位置。请参阅节 6.4.3 和节 6.4.4。

图 5-30 显示了 eCAP 方框图。

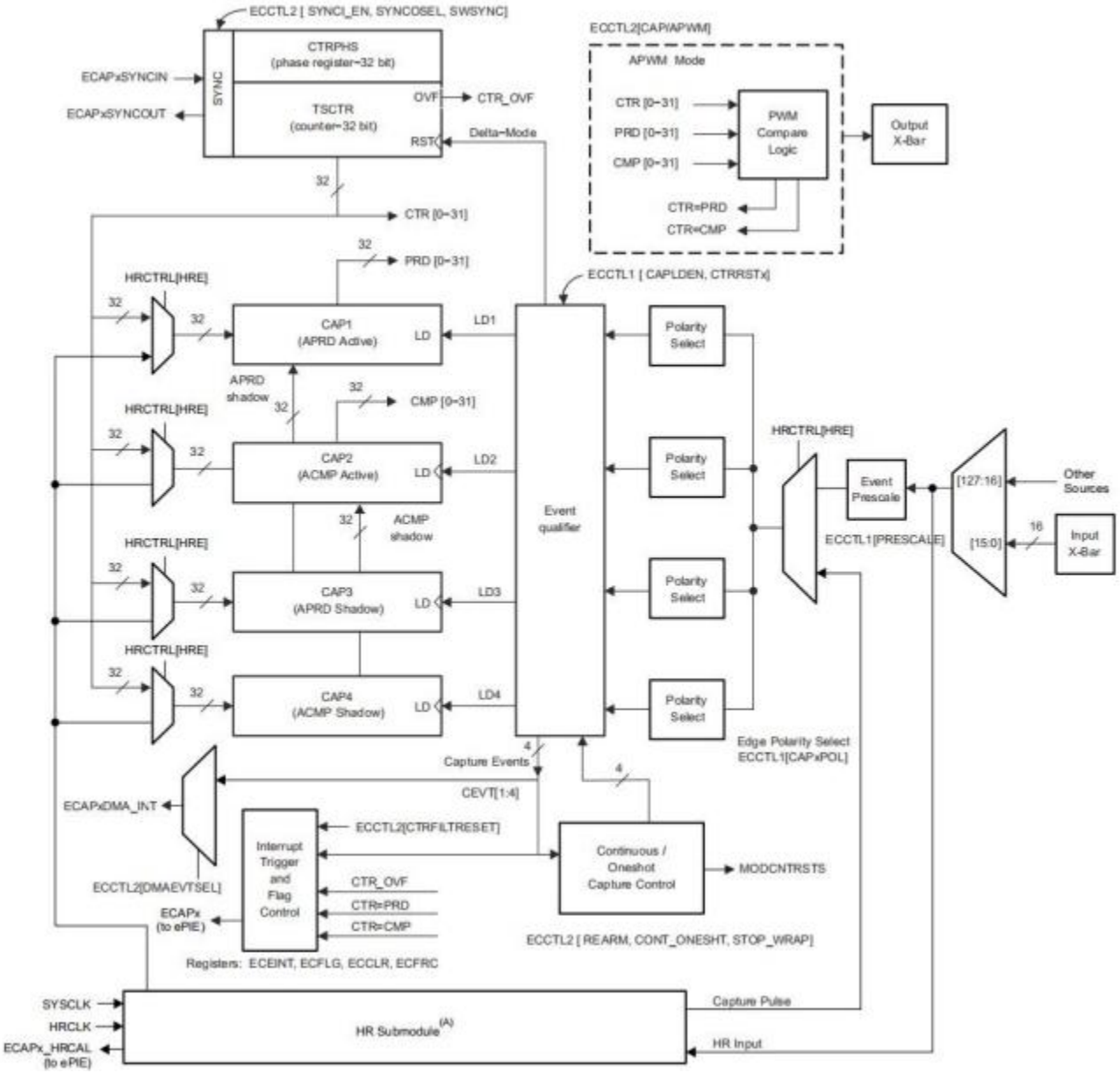


图 5- 31. eCAP 方框图

5.9.1.1 eCAP电气数据和时序

节 5.9.1.1.1 列出了 eCAP 时序要求。 节 5.9.1.1.2 列出了 eCAP 开关特性。

5.9.1.1.1 eCAP 时序要求

表 5-23. eCAP 时序要求

参数		最小值 标称值 最大值	单位
tw(CAP) 采集输入脉冲宽度	异步	2tc(SCO)	ns
	同步	2tc(SCO)	
	带输入限定器	1tc(SCO) + tw_(QSW)	

5.9.1.1.2 eCAP 开关特性

理论设计指标（除非另作说明）

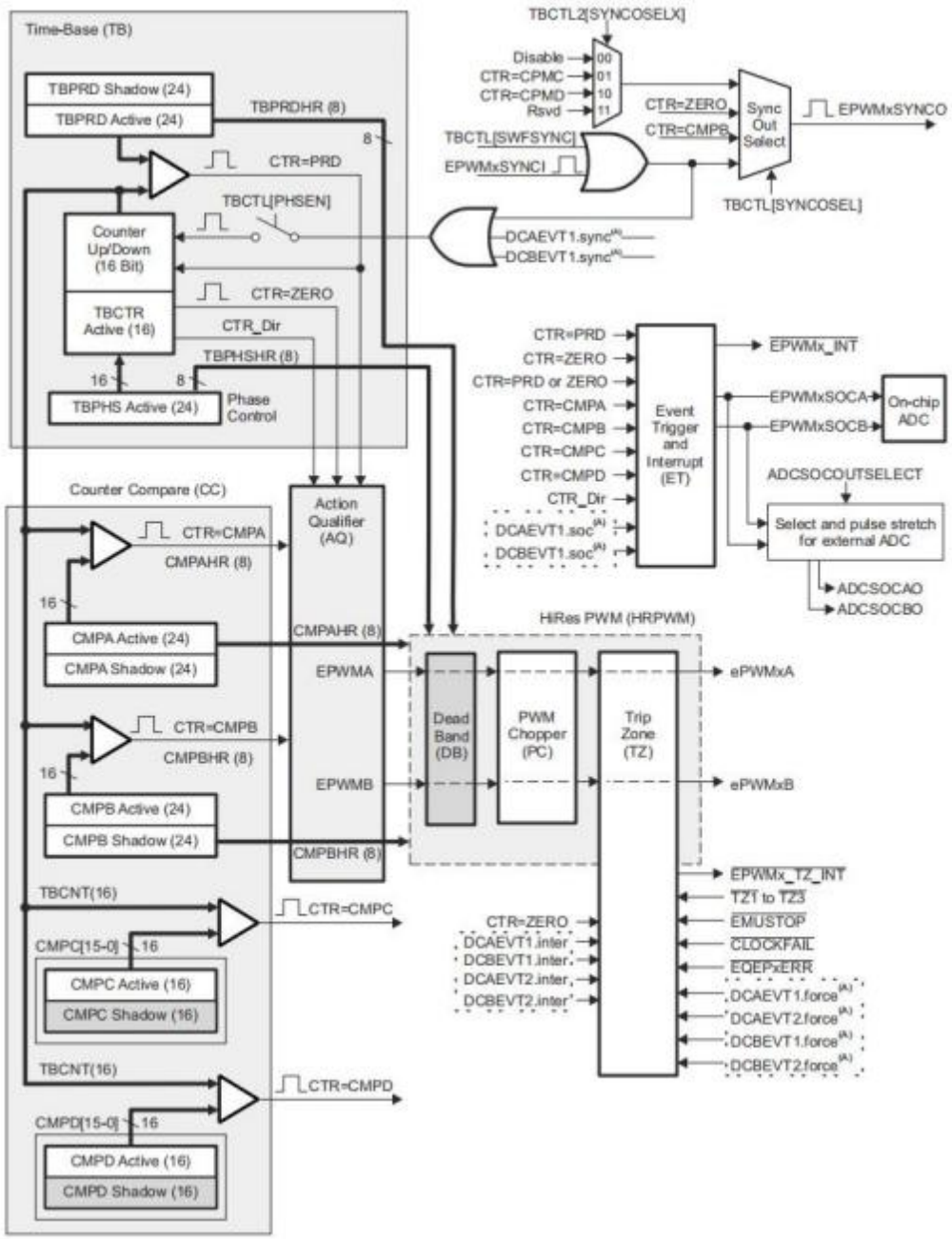
表 5-24. eCAP开关特性

参数	最小值 典型值 最大值	单位
tw(APWM) 脉冲持续时间 ，APWMx 输出高电平/低电平	20	ns

5.9.2 增强脉冲宽度调制(ePWM)

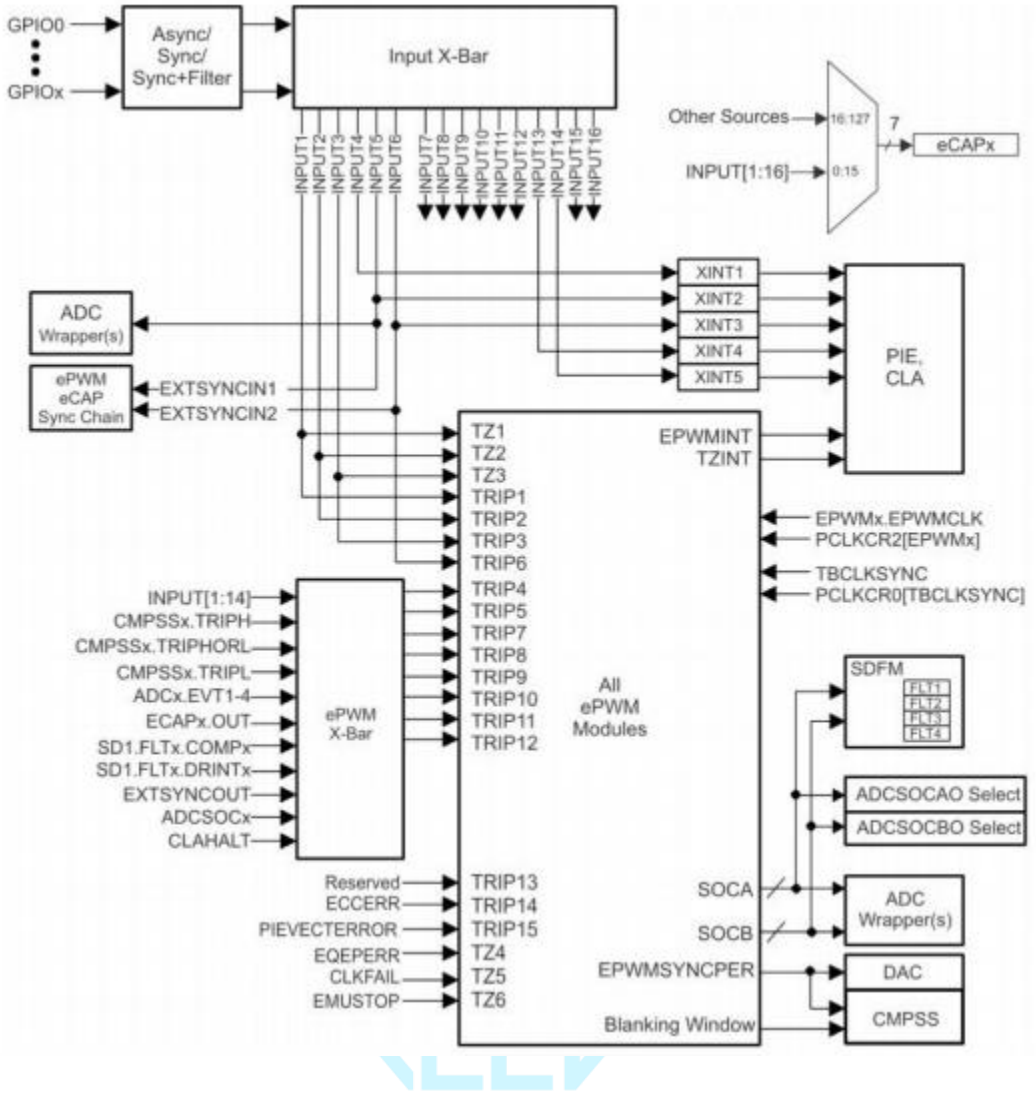
ePWM 外设是许多商业和工业设备中电力电子系统控制的关键部分。ePWM 模块能够以最小的 CPU 开销生成复杂的脉冲宽度波形，将具有独立资源的小模块构建为各个外设，并将这些资源共同组成 系统运行。ePWM 模块的一些特性包括复杂波形生成、死区生成、灵活的同步配置、高级错误联防功能和全局寄存器重新加载功能。

ePWM 模块如图 5-34 所示。ePWM 错误联防输入连接如图 5-35 所示。



A. 根据 TRIPIN 输入的电平经过 ePWM 中的数字比较(DC)子模块生成的事件。

图 5-35. ePWM 子模块和关键内部信号连接


GPIO0
GPIOx
Async/
Sync/
Sync+Filter
Input X-Bar
INPUT1
INPUT2
INPUT3
INPUT4
INPUT5
INPUT6
INPUT7
INPUT8
INPUT9
INPUT10
INPUT11
INPUT12
INPUT13
INPUT14
INPUT15
INPUT16
Other Sources
INPUT[1:16]
16:127
0:15
7
eCAPx
XINT1
XINT2
XINT3
XINT4
XINT5
PIE,
CLA
ADC
Wrapper(s)
ePWM
eCAP
Sync Chain
EXTSYNCIN1
EXTSYNCIN2
TZ1
TZ2
TZ3
TRIP1
TRIP2
TRIP3
TRIP6
TRIP4
TRIP5
TRIP7
TRIP8
TRIP9
TRIP10
TRIP11
TRIP12
TRIP13
TRIP14
TRIP15
TZ4
TZ5
TZ6
EPWMINT
TZINT
EPWMx.EPWMCLK
PCLKCR2[EPWMx]
TBCLKSYNC
PCLKCR0[TBCLKSYNC]
All
ePWM
Modules
INPUT[1:14]
CMPSSx.TRIPH
CMPSSx.TRIPHORL
CMPSSx.TRIPL
ADCx.EVT1-4
ECAPx.OUT
SD1.FLTx.COMPx
SD1.FLTx.DRINTx
EXTSYNCOUT
ADCSOCx
CLAHALT
ePWM
X-Bar
Reserved
ECCERR
PIEVECTERROR
EQEPERR
CLKFAIL
EMUSTOP
SDFM
FLT1
FLT2
FLT3
FLT4
ADCSOCAO Select
ADCSOCBO Select
SOCA
SOCB
ADC
Wrapper(s)
EPWMSYNCPER
DAC
Blanking Window
CMPSS

5.9.2.1 控制外设同步

设备上的 ePWM 和 eCAP 同步配置在 ePWM 和 eCAP 模块时更灵活，并允许在模块内进行本地化同步。与其他外设一样，ePWM 和 eCAP 模块的划分需要使用 CPUSELx 寄存器来完成。

同步配置如图 5-37 所示。

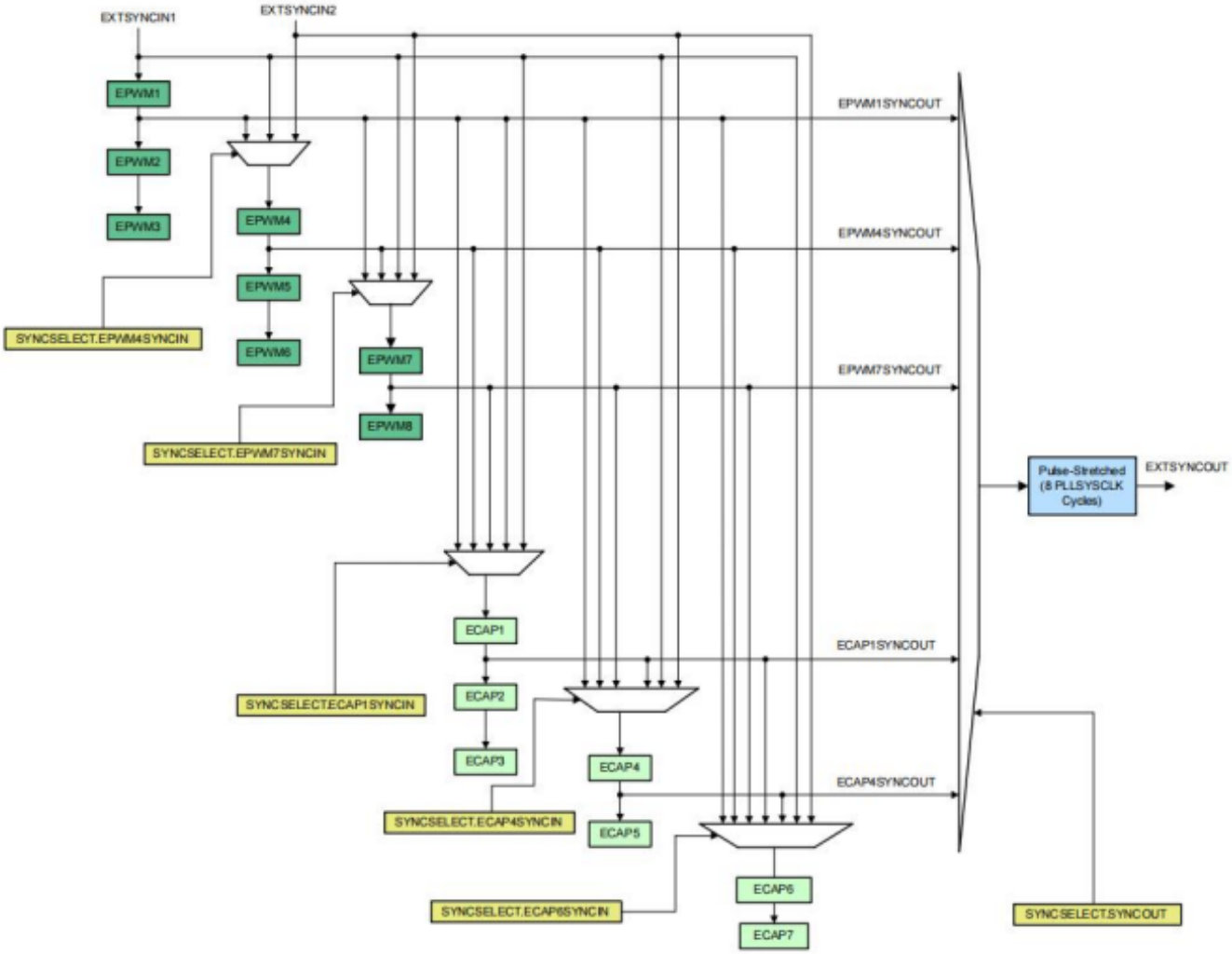


图 5-37. 同步链架构

5.9.2.2 ePWM电气数据和时序

第 5.10.3.2.1 节列出了 ePWM 时序要求，第 5.13.1.2.2 节列出了 ePWM 开关特性。

5.9.2.2.1 ePWM 时序要求

表 5-26. ePWM 时序要求

参数			最小值 最大值	单位
tw(SYNCIN)	同步输入脉冲宽度	异步	2tc(EPWMCLK)	cycles
		同步	2tc(EPWMCLK)	
		使用输入限定	1tc(EPWMCLK) + tw(IQSW)	

5.9.2.2.2 ePWM 开关特性

超过推荐的运行条件（除注明外）

表 5- 27. ePWM 开关特性

参数		最小值 最大值	单位
tw(PWM)	脉冲持续时间，PWMx输出高/低	12.5	ns
tw(SYNCOUT)	同步输出脉冲宽度	8tc(SYSCLK)	cycles
td(TZ-PWM)	延时时间，跳闸输入使PWM强制高 延时时间，跳闸输入使到PWM强制低 延时时间，跳闸输入使PWM Hi-Z	25	ns

5.9.2.2.3 Trip-Zone 输入时序

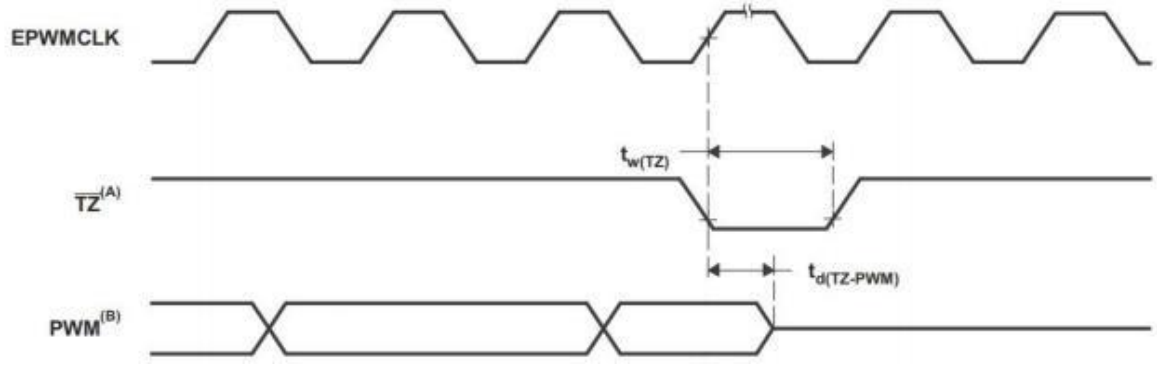


图 5-38. Trip-Zone 输入时序

（1） TZ : TZ1 、TZ2 、TZ3 、TRIP1 至 TRIP12

（2） PWM 指的是设备中所有的 PWM 引脚。TZ 至高后 PWM 引脚的状态由PWM 恢复软件恢复决定。

5.9.2.3 外部ADC转换脉冲开始的电气数据和时序

第 5.10.3.3.1 节列出了外部 ADC 转换开始的开关特性。ADCSOCAO或ADCSOCBO定时如图 5-39 所示。

5.9.2.3.1 外部ADC转换脉冲开始的开关特性

超出建议的运行条件(除非另有说明)

表 5-29.外部 ADC 转换脉冲开始的开关特性

参数		最小值 最大值	单位
tw(ADCSOCL)	脉冲持续时间，ADCSOCxO 低	32tc(SYSCLK)	cycles

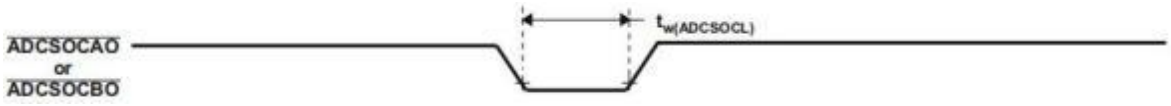


图 5-39. ADCSOCAO或ADCSOCBO时序

5.9.3 高分辨率脉冲宽度调制器(HRPWM)

HRPWM 将多个延迟线组合在一个模块中，并通过使用专用的校准延迟线简化校准系统。对于每个

ePWM 模块，有两个 HR 输出:

- 通道 A 的 HR 占空比与死区控制
- 通道 B 的 HR 占空比与死区控制

HRPWM 模块提供的 PWM 分辨率(时间间隔尺寸)明显优于使用传统的数字 PWM 方式所能实现的分辨率。

HRPWM 模块的关键点是:

- 显著提高了传统数字 PWM 的时间分辨率能力
- 此功能可用于单边缘(占空比和相移控制)以及频率/周期调制的双边缘控制。
- 通过对 ePWM 模块的Compare A, B，相位，周期和死区寄存器的扩展功能，可以控制更细的时

间粒度控制或边缘定位。

注意: HRPWM 允许的最低 HRPWMCLK 频率为 60 MHz。

5.9.3.1 HRPWM 电气数据和时序

第 5.10.4.1.1 节列出了高分辨率 PWM 开关特性。

5.9.3.1.1 高分辨率PWM 特性

表 5-30.高分辨率 PWM 特性

参数	最差值	典型值	最好值	单位
微边缘 (MEP) 定位步长(1) (TC=46P WC=82P BC=29P)	82	46	29	ps

(1) 在 VDD 上，MEP 步长在高温和最低电压时最大。MEP 步长随温度升高、电压降低而增大，随温度 降低、电压升高而减小。应用程序根据 HRPWM 特性应使用 MEP 比例因子优化器(SFO)估算软件功能。

(2) 当 HRPWM 工作时，SFO 函数会协助动态估算每个 SYSCLK 周期的 MEP 步数。

5.9.4 增强型正交编码器脉冲(eQEP)

eQEP 接口直接与线性或旋转增量编码器接口，从高性能运动和位置控制系统的旋转机器中获取位置、方向和速度信息。

eQEP 外设包括以下主要功能单元(如图 5-51 所示):

- 每个引脚均可编程输入(部分 GPIO MUX)
- 正交解码单元(QDU)
- 位置计数器和位置测量控制单元 (PCCU)
- 用于低速测量的正交边缘捕获单元 (QCAP)
- 测量速度/频率的单位时基 (UTIME)
- 检测档位的看门狗定时器(QWDOG)
- 正交模式适配器(QMA)

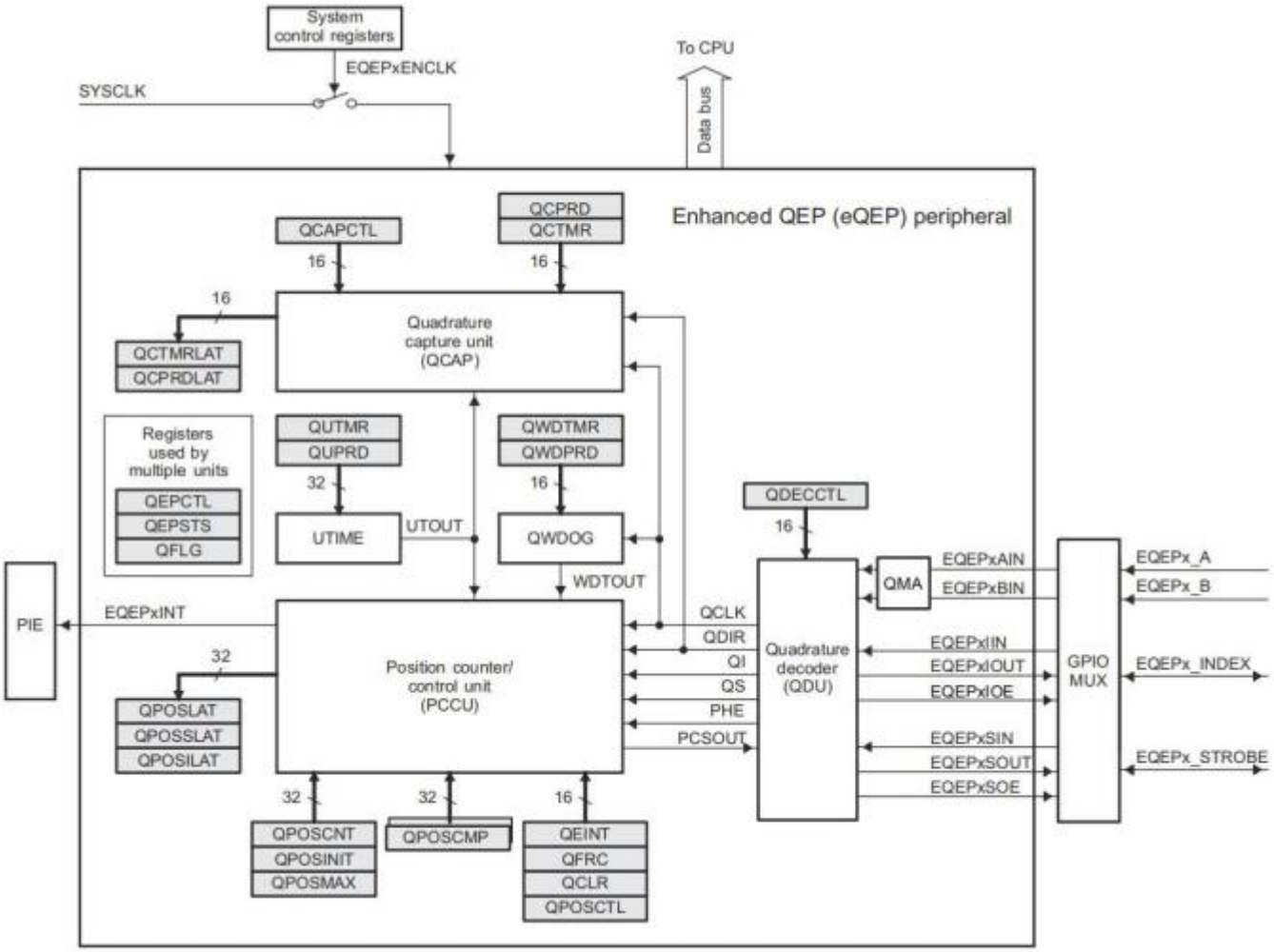


图 5-40. eQEP 框图

5.9.4.1 eQEP电气数据和时序

第 5.10.4.1.1 节列出了 eQEP 时序要求，第 5.10.4.1.2 节列出了 eQEP 切换特性。

5.9.4.1.1 eQEP 时序要求

表 5-31. eQEP时序要求

参数			最小值	最大值	单位
tw(QEPP)	QEP输入周期	同步(1)	2tc(SYSCLK)		cycles
		与输入限定同步	2[1tc(SYSCLK)+ tw(IQSW)]		
tw(INDEXH)	QEP Index Input High time索引高输入时间	同步(1)	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		
tw(INDEXL)	QEP Index Input Low time索引低输入时间	同步(1)	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		
tw(STROBH)	QEP Strobe input High time 闪烁高输入时间	同步(1)	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		
tw(STROBL)	QEP Strobe Input Low time 闪烁低输入时间	同步(1)	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		

(1)GPIO GPxQSELn 异步模式不应该用于 eQEP 模块的输入引脚。

5.9.4.1.2 eQEP 开关特性

理论设计指标（除非另作说明）

表 5-32. eQEP开关特性

参数		最小值	最大值	单位
td(CNTR)xin	延迟时间，外部时钟计数器增量		5tc(SYSCLK)	cycles
td(PCS-OUT)QEP	延迟时间，QEP 输入边沿到位置比较同步输出		7tc(SYSCLK)	cycles

5.10 通信外设

5.10.1 控制局域网络(CAN)

CAN 模块使用称为 CAN FD 的 IP。本文档交替使用名称 CAN 和 CAN FD 来引用此外设。

CAN 模块实现了以下功能:

- 支持CAN规范
  - CAN2.0B (最多支持8字节的有效载荷，由Bosch参考模型进行验证)
  - 可选支持CAN FD (最多支持64字节的有效载荷，符合ISO 11898-1:2015或非ISO Bosch标准)
- 可自由编程的数据率：
  - CAN 2.0B定义了最高1Mbit/s的数据率
  - CAN FD受收发器和CAN-CTRL核心的时钟频率限制
- 可编程的波特率分频器（1至1/256）
- 主机接口和CAN协议机使用独立的时钟域
- 可配置的接收缓冲区（RB）大小
  - 通用参数选择缓冲区槽位数量
  - 类似FIFO的行为
  - 未被“接受”或“错误”的接收消息不会覆盖已存储的消息
- 两个发送缓冲区
  - 一个主要发送缓冲区（PTB）
  - 可选的可配置次要发送缓冲区（STB）

- STB是可选的。通用参数选择缓冲区槽位的数量
- 可以以FIFO或优先级决策模式运行
- 独立且可编程的内部29位验收滤波器
  - 可以通过通用参数选择验收滤波器的数量，范围为1到16

- 扩展功能
  - 单次发送模式（适用于PTB和/或STB）
  - 仅监听模式
  - 环回模式（内部和外部）
  - 收发器待机模式

- 扩展状态和错误报告
  - 捕获最后发生的错误类型和仲裁丢失位置
  - 可编程错误警告限制值
- 不同的主机控制器接口
  - 32位同步主机控制器接口；为8位主机提供包装
  - 32位AMBA APB协议规范v2.0
  - 32位AMBA 3 AHB-Lite协议v1.0
  - 32位Wishbone
  - 根据需求，可选的特定应用接口到主机控制器
- 可配置的中断源
- 一个双端口内存块或两个伪双端口内存块用于帧缓冲区
- 时间戳：
  - ISO 11898-4具有部分硬件支持的定时触发CAN
  - CiA 603时间戳
- 完全同步和可综合的HDL设计（Verilog 2001，VHDL 93）
- 兼容AUTOSAR
- 优化用于SAE J1939
- 包含Linux驱动程序

CAN 模块框图如图 5-46 所示。

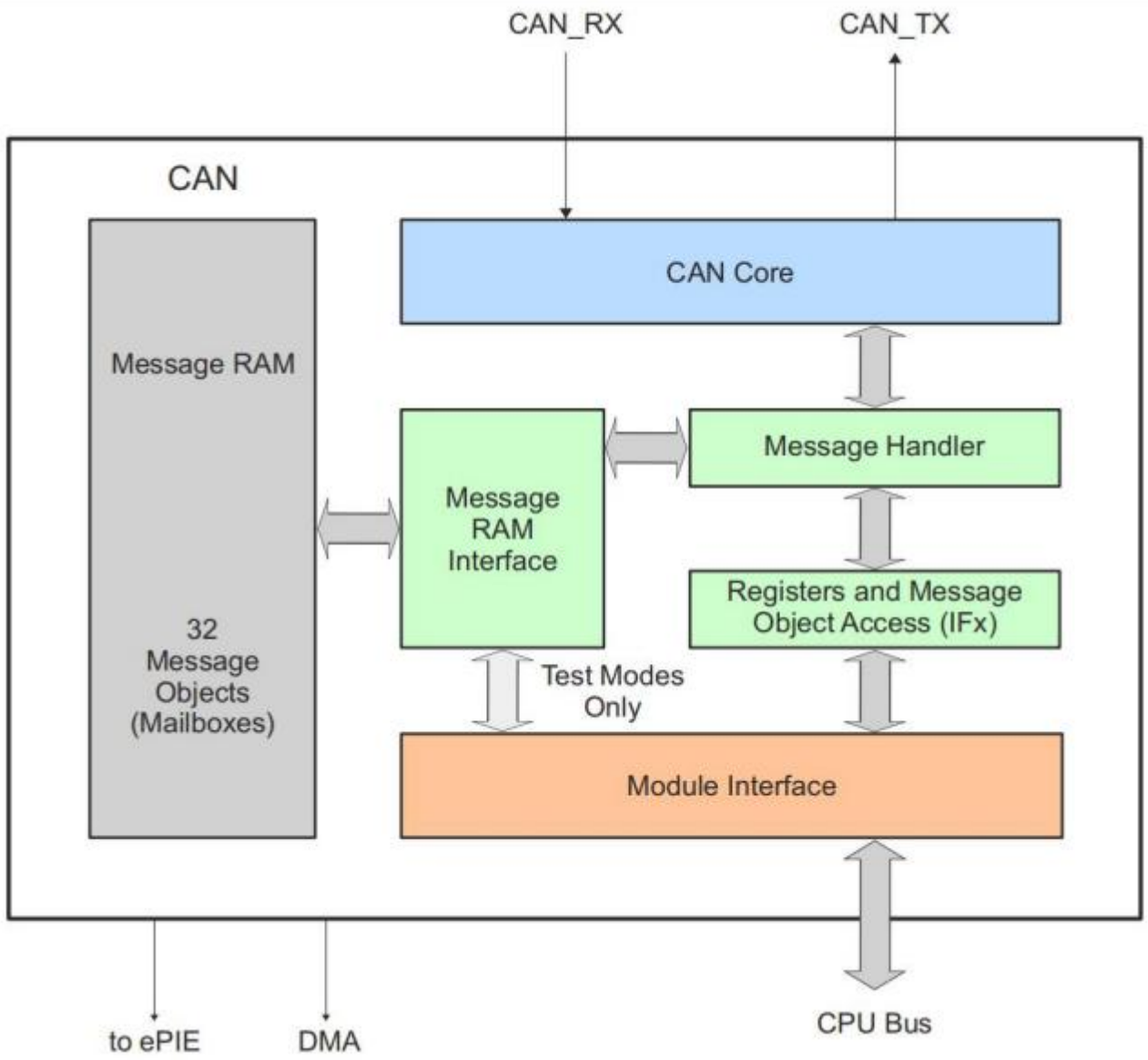


图 5- 46. CAN 框图

5.10.2 内置集成电路(I2C)

I2C 模块具有以下特点：

- 符合 NXP 半导体 I2C 总线规范(2.1 版)
  - 支持 8 位格式传输
  - 7 位和 10 位寻址模式
  - 通用寻呼
  - START 字节模式
  - 支持多个主发射机和从接收机
  - 支持多个从发射机和主接收机

- 主发送/接收和接收/发送组合模式
- 数据传输速率从 10kbps 提高到 400kbps(Fast-mode)

- 一个 16 字节的接收 FIFO 和一个 16 字节的发送FIFO
- 支持两个 ePIE 中断
  - I2Cx 中断-下列任何一条件都可以配置生成 I2Cx 中断 ：
- 发送就绪
- 接受就绪
- 存取寄存器就绪
- 未应答
- 仲裁丢失
- 检测停止状态
- 从机地址
  - I2Cx_FIFO 中断 ：
- 发送 FIFO 中断
- 接收 FIFO 中断
- 模块启用和禁用功能
- 自由数据格式模式

设备 I2C 外设模块接口如图 5-53 所示。

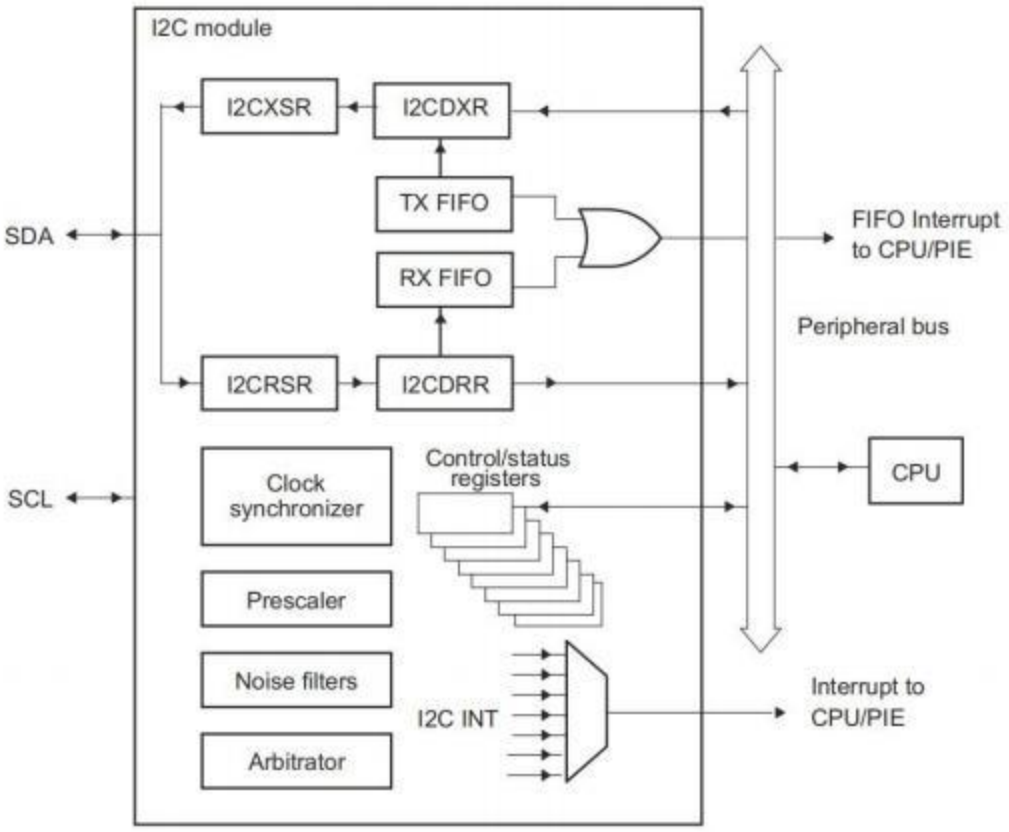


图 5- 47. I2C 外设模块接口

注意:为了满足所有 I2C 协议时序规范，I2C 模块时钟必须配置在 7MHz ~ 12MHz 范围内。

5.10.2.1 I2C电气数据和时序

I2C 定时要求请参见章节 5.10.2.1.1。I2C 开关特性请参见 5.10.2.1.2。I2C 时序示意图如图 5-48 所示。

5.10.2.1.1 I2C时序要求

表 5-35. I2C 时序要求

编号			最小值	单位
标准模式				
T0	f_{mod}	I2C 模块频率	7 12	MHz
T1	$t_{h(SDA-SCL)START}$	保持时间，启动条件，SDA 下降后 SCL 下降延迟	4.0	μs
T2	$t_{su(SCL-SDA)START}$	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	4.0	μs
T3	$t_{h(SCL-DAT)}$	保持时间，SCL 下降后的数据	0	μs
T4	$t_{su(DAT-SCL)}$	设置时间，SCL 上升前的数据	250	ns
T5	$t_{r(SDA)}$	上升时间，SDA	1000	ns
T6	$t_{r(SCL)}$	上升时间，SCL	1000	ns
T7	$t_{f(SDA)}$	下降时间，SDA	300	ns
T8	$t_{f(SCL)}$	下降时间，SCL	300	ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	4.0	μs
T10	$t_{w(SP)}$	将由滤波器抑制的尖峰脉冲持续时间	0 50	ns
T11	C_b	每条总线上的电容负载	400	pF
快速模式				
T0	f_{mod}	I2C 模块频率	7 12	MHz
T1	$t_{h(SDA-SCL)START}$	保持时间，启动条件，SDA 下降后 SCL 下降延迟	0.6	μs
T2	$t_{su(SCL-SDA)START}$	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	0.6	μs
T3	$t_{h(SCL-DAT)}$	保持时间，SCL 下降后的数据	0	μs
T4	$t_{su(DAT-SCL)}$	设置时间，SCL 上升前的数据	100	ns
T5	$t_{r(SDA)}$	上升时间，SDA	20 300	ns
T6	$t_{r(SCL)}$	上升时间，SCL	20 300	ns
T7	$t_{f(SDA)}$	下降时间，SDA	11.4 300	ns

T8	$t_{f(SCL)}$	下降时间，SCL	11.4 300	ns
编号			最小值 最大值	单位
T9	$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	0.6	μs
T10	$t_{w(SP)}$	将由滤波器抑制的尖峰脉冲持续时间	0 50	ns
T11	C_b	每条总线上的电容负载	400	pF

5.10.2.1.2 I2C 开关特性

在推荐的工作条件下（除非另有说明）

表 5- 36. I2C 开关特性

编号	参数		测试条件	最小值 最大值	单位
标准模式					
S1	f_{SCL}	SCL 时钟频率		0 100	kHz
S2	T_{SCL}	SCL 时钟周期		10	μs
S3	$t_{w(SCLL)}$	脉冲持续时间，SCL 时钟低电平		4.7	μs
S4	$t_{w(SCLH)}$	脉冲持续时间，SCL 时钟高电平		4.0	μs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		4.7	μs
S6	$t_{v(SCL-DAT)}$	有效时间，SCL 下降后的数据		3.45	μs
S7	$t_{v(SCL-ACK)}$	有效时间，SCL 下降后的确认		3.45	μs
S8	I_I	引脚上的输入电流	$0.1\ V_{bus} < V_i < 0.9\ V_{bus}$	-10 10	μA
快速模式					
S1	f_{SCL}	SCL 时钟频率		0 400	kHz
S2	T_{SCL}	SCL 时钟周期		2.5	μs
S3	$t_{w(SCLL)}$	脉冲持续时间，SCL 时钟低电平		1.3	μs
S4	$t_{w(SCLH)}$	脉冲持续时间，SCL 时钟高电平		0.6	μs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		1.3	μs
S6	$t_{v(SCL-DAT)}$	有效时间，SCL 下降后的数据		0.9	μs
S7	$t_{v(SCL-ACK)}$	有效时间，SCL 下降后的确认		0.9	μs
S8	I_I	引脚上的输入电流	$0.1\ V_{bus} < V_i < 0.9\ V_{bus}$	-10 10	μA

5.10.2.1.3 I2C 时序图

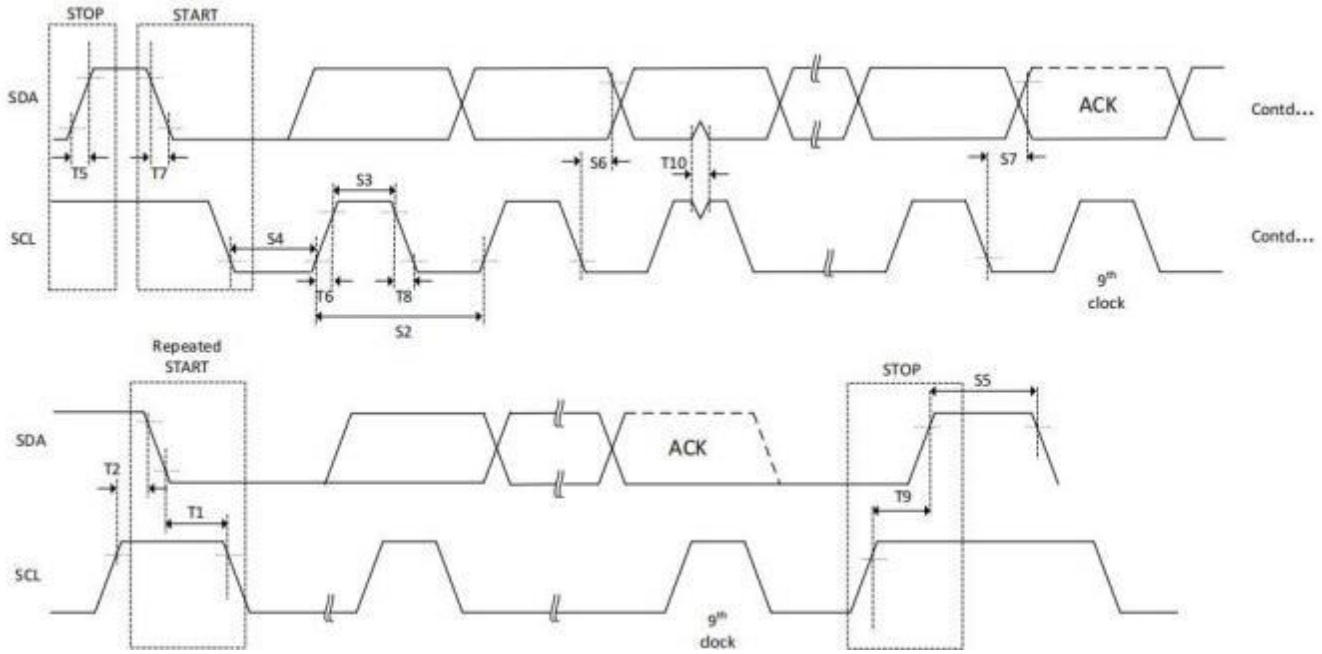


图 5- 48. I2C 时序图

5.10.3 串行通信接口(SCI)

SCI 是一种两线异步串行端口，通常称为 UART。SCI模块支持 CPU 和其他使用标准非归零(NRZ) 格式的异步外设的数字通信。SCI接收器和发射器都有一个 16 层的FIFO，可以减少CPU 工作开销， 每个都有单独的使能和中断位。可以独立进行半双工通信，或同时进行全双工通信。为了确定数据 完整性，SCI检查接收到的数据是否有中断检查、奇偶校验、溢出和帧格式错误。通过 16 位寄存器修改可以编程不同的波特率速度。

SCI模块的特点包括:

两个外部引脚 :（如果不用于 SCI，则两个引脚都可以用作 GPIO）

- SCITXD: SCI 发送输出引脚
- SCIRXD: SCI 接收输入引脚
- 波特率可编程到921600 不同的速率

- 数据字格式:
  - 1 起始位
  - 数据字长可编程从 1 到 8 位
  - 可选偶数/奇数/无奇偶 校验位
  - 1 或 2 个停止位
- 4 个错误检测标志:奇偶校验，溢出，帧格式和中断检测
- 半双工或全双工操作
- 双缓冲接收和发送功能
- 发射器和接收器操作可以通过带有状态标志的中断驱动或轮询算法来完成
  - 发射器:TXRDY 标志(发射器-缓冲寄存器准备接收另一个字符char)和TX_EMPTY 标志(发射器-移位寄存器为空)
  - 接收器:RXRDY 标志(接收缓冲区寄存器准备接收另一个字符 char)，BRKDT 标志(中断条件发 生)，RX_ERROR 标志(监控四种中断条件)
- 独立的发射机和接收机的中断使能位(BRKDT 除外)
- 16 级发送和接收 FIFO

注意：此模块中的所有寄存器都是 8 位寄存器。当访问寄存器时，寄存器数据位于低字节(位7-0)，高字节(位 15-8)被读取为零。写入高字节没有效果。

SCI 框图如图 5-50 所示。

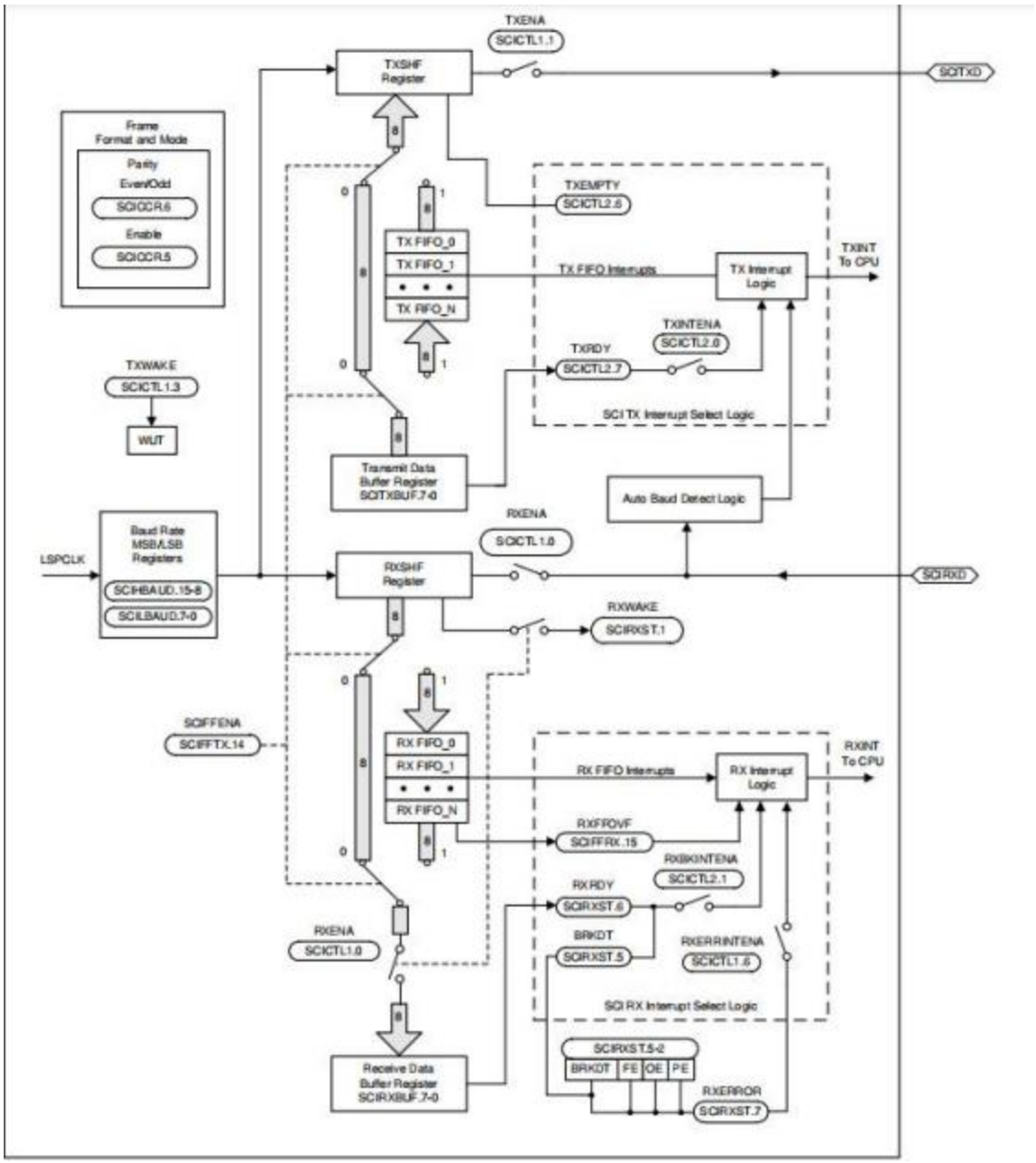


图 5- 50. SCI 框图

5.10.4 串行外设接口(SPI)

串行外设接口(SPI)是一个高速同步串行输入和输出(I/O)端口，允许一个可编程长度(4~32位) 的串行比特流被移进和移出设备，可根据配置的传输速率传输。SPI通常用于 DSP 控制器与外设或 其他控制器之间的通信。典型的应用包括通过移位寄存器、显示驱动和模数转换器（ADC 等)设备进 行外部 I/O 或外围扩展。SPI 的主或从运行支持多设备通信。支持 8 级收发FIFO，可减少CPU 工作开销。

SPI模块的特点包括:

- ADC 中断和 EVT 信号SPISOMI : SPI 从输出/主输入引脚
- SPISIMO: SPI 从输入/主输出引脚
- SPSTE ：SPI 从传输使能引脚
- SPICLK: SPI 串行时钟引脚
- 两种操作模式:主和从
- 波特率:65530 个不同的可编程速率。可用的最大波特率受限于 SPI 引脚上 I/O 缓冲区的最大速度。
- 数据字长:4 ~ 32 位
- 四种时钟策略(由时钟极性和时钟相位位控制)包括:
  - 无相位延迟下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿传输数据，在 SPICLK 信号的上升沿接收数据。
  - 有相位延迟下降沿: SPICLK 高电平有效。SPI在 SPICLK 信号下降沿前半个周期发送数据， 在 SPICLK 信号的下降沿接收数据。
  - 无相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿发送数据，在 SPICLK 信号的下降沿接收数据。
  - 有相位延迟的上升沿: SPICLK 低电平无效。 SPI在 SPICLK 信号上升沿前半个周期发送数

    据，并在 SPICLK 信号上升沿接收数据。
- 同时进行收发操作(可在软件中禁用发送功能)
- 发送机和接收机操作通过中断驱动或轮询算法来完成
- 8 级 发送/接收 FIFO
- 支持 DMA
- 3-线 SPI 模式

SPI CPU 接口如图 5-51 所示。

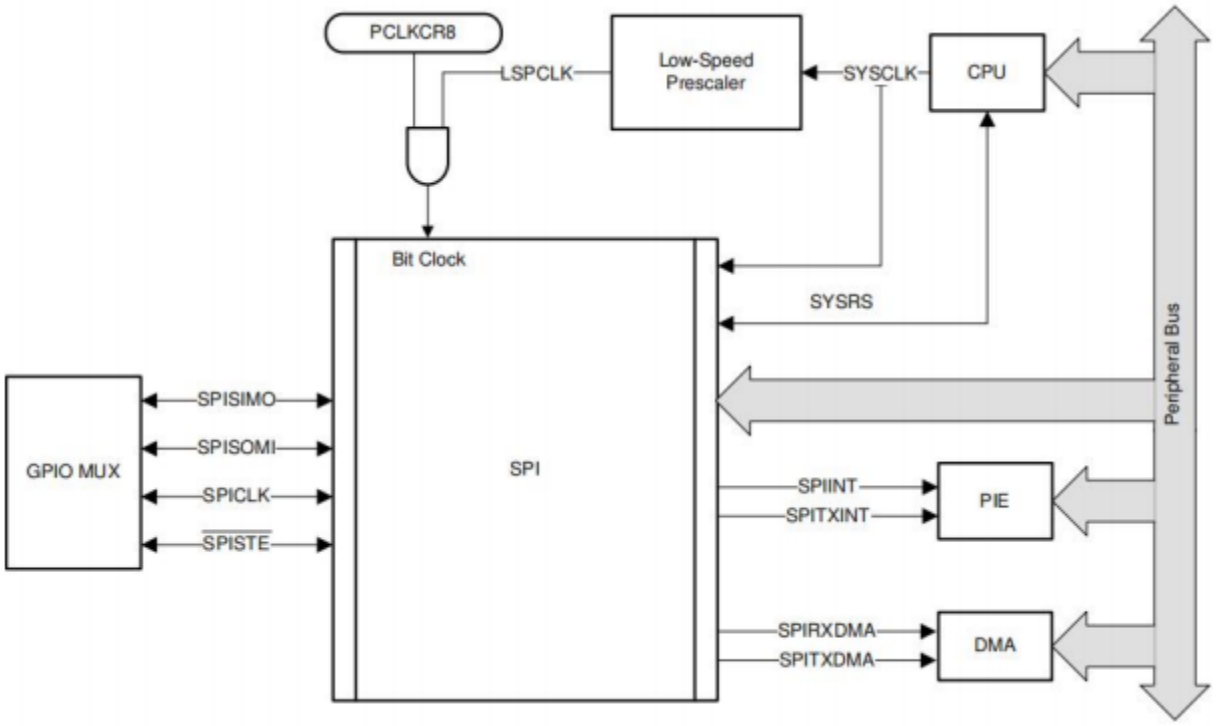


图 5- 51. SPI CPU 接口

5.10.4.1 SPI 主模式时序

第 5.10.4.1.1 节列出了 SPI 主模式时序要求。

第 5.10.4.1.2 节列出了 SPI 主模式开关特性，其中时钟相位= 0。时钟相位为 0 的 SPI 主模式

外部时序如图 7-58 所示。

第 5.10.4.1.3 节列出了时钟相位= 1 的 SPI 主模式切换特性。时钟相位为 1 的 SPI 主模式外部

时序如图 7-59 所示。

注意：SPI 高速模式的所有定时参数在 SPICLK、SPISIMO 和 SPISOMI 上假定负载电容为 5pf。

5.10.4.1.1 SPI主模式定时要求

表 5- 40. SPI 主模式定时要求

NO.			(BRR + 1) (1)	最小值	最大值	单位
高速模式						
8	$t_{su(SOMI)M}$	建立时间,SPISOMI 在SPICLK 之前有效	偶数，奇数	1		ns
9	$t_{h(SOMI)M}$	保持时间，SPISOMI 在SPICLK 之后有效	偶数，奇数	5		ns
正常模式						
NO.			(BRR + 1) (1)	最小值	最大值	单位
8	$t_{su(SOMI)M}$	建立时间，SPISOMI 在SPICLK 之前有效	偶数，奇数	15		ns
9	$t_{h(SOMI)M}$	保持时间，SPISOMI 在SPICLK 之后有效	偶数，奇数			ns

（1）当(SPIBRR + 1)为偶数或 SPIBRR 为 0 或 2 时， (BRR + 1)条件为偶数。当(SPIBRR + 1)为奇数且 SPIBRR 大于 3 时为奇数。

5.10.4.1.2 SPI 主模式开关特性(时钟相位= 0)

理论设计指标（除非另作说明）

表 5-41. SPI 主模式开关特性(时钟相位= 0)

NO.	参数		(BRR + 1)(1)	最小值	最大值	位 单
通用						
1	$t_{c(SPC)M}$	周期时间 ，SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$	脉冲持续时间，SPICLK ，第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间，SPICLK ，第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	延迟时间，SPISTE到SPICLK有效	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
			奇数	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} + 3$	
24	$t_{v(STE)M}$	有效时间，SPICLK 到 SPISTE无效	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
高速模式						
4	$t_{d(SIMO)M}$	延迟时间，SPICLK 到 SPISIMO	偶数，奇		1	ns

		有效	数		
5	$t_{v(SIMO)M}$	有效时间，在 SPICLK 后 SPISIMO 有效	偶数	$0.5t_{c(SPC)M} - 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	
普通模式					
4	$t_{d(SIMO)M}$	延迟时间，SPICLK 到 SPISIMO 有效	偶数，奇数	1	ns
5	$t_{v(SIMO)M}$	有效时间，在 SPICLK 后 SPISIMO 有效	偶数	$0.5t_{c(SPC)M} - 3$	ns
			奇数	0.5tc(SPC)M – 0.5tc(LSPCLK) – 3	

（1）当(SPIBRR + 1)为偶数或 SPIBRR 为 0 或 2 时，(BRR + 1)为偶数。当(SPIBRR + 1)为奇数且 SPIBRR 大于 3 时为奇数。

5.10.4.1.3 SPI主模式开关特性(时钟相位= 1)

理论设计指标（除非另作说明）

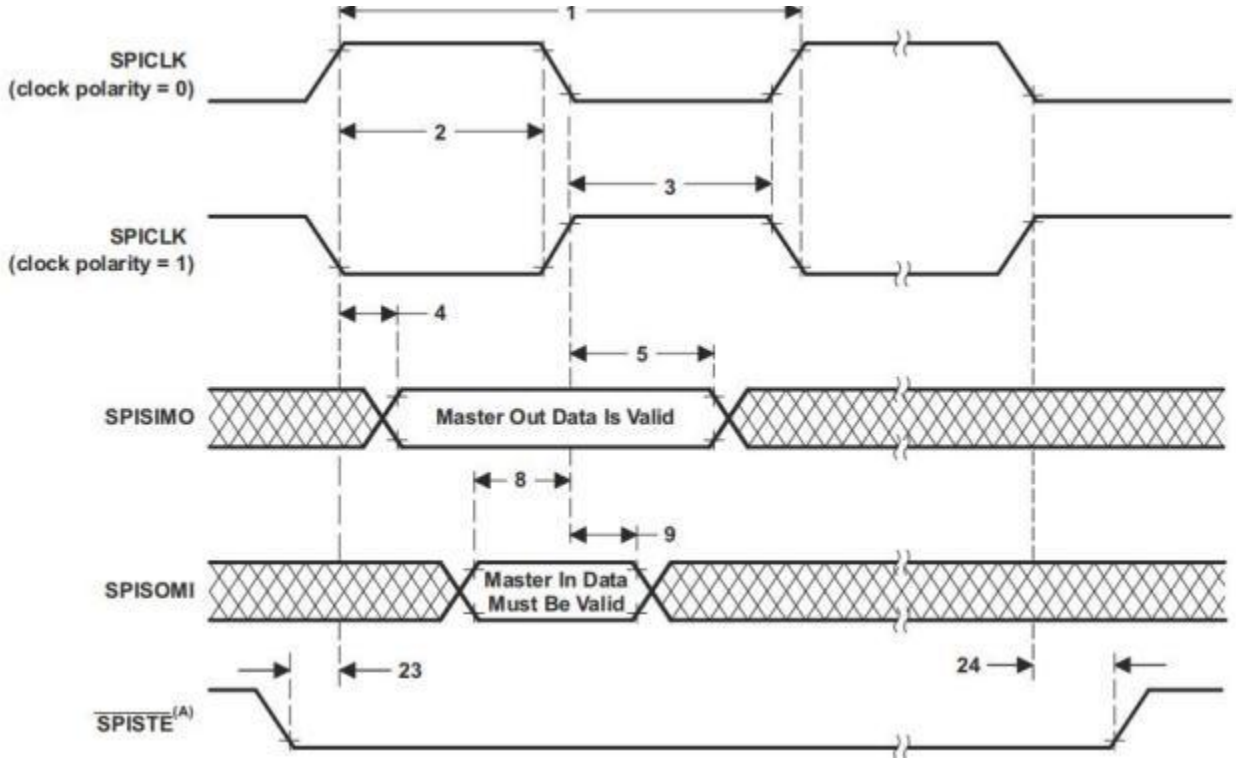
表 5- 42. SPI 主模式开关特性(时钟相位= 1)

NO.	参数		(BRR + 1)	最小	最大值	单位
通用						
1	$t_{c(SPC)M}$	周期时间，SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK,第一脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间，SPICLK,第二脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	延迟时间，~~SPI~~STE 到 SPICLK 有效	偶数，奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} + 2$	ns
24	$t_{d(STE)M}$	延迟时间，SPI~~CLK~~到SPISTE 无效	偶数	–3	2	ns
			奇数	–3	2	
高速模式						
4	$t_{d(SIMO)M}$	延迟时间，SPISIMO 到 SPICLK 为有效	偶数	$0.5t_{c(SPC)M} - 2$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 2$		
5	$t_{v(SIMO)M}$	有效时间，SPISIMO 在 SPICLK 后 SPISIMO 有效	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		

普通模式					
4	$t_{d(SIMO)M}$	延迟时间，SPISIMO 到 SPICLK 为有效	偶数	$0.5t_{c(SPC)M} - 2$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 2$	
5	$t_{v(SIMO)M}$	有效时间，在 SPICLK 之后 SPISIMO 有效	偶数	$0.5t_{c(SPC)M} - 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	

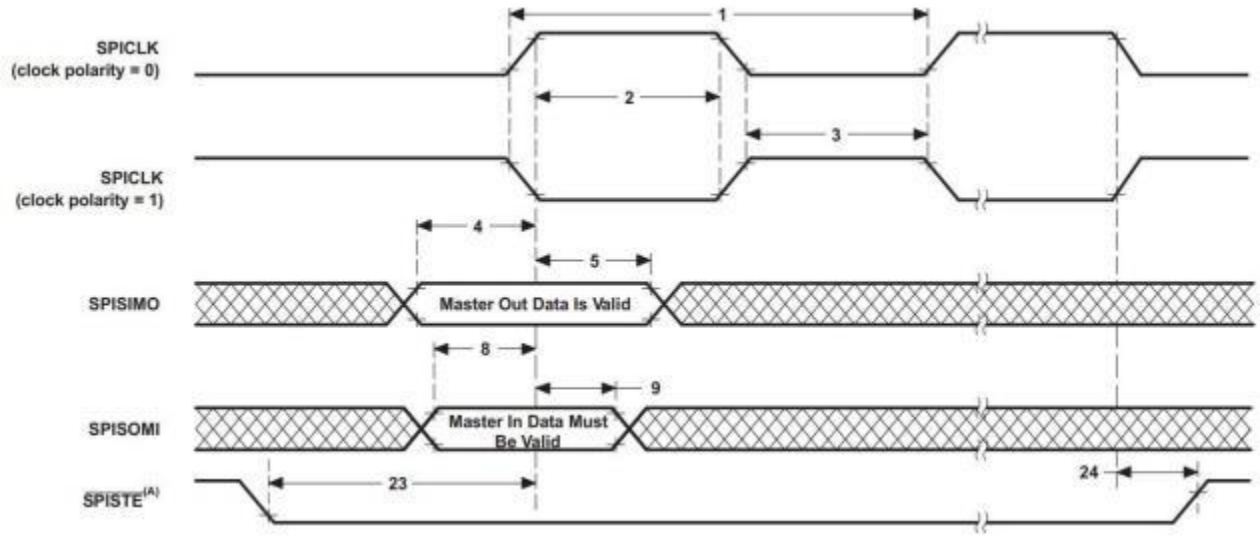
（1）当(SPIBRR + 1)为偶数或 SPIBRR 为 0 或 2 时， (BRR + 1)为偶数。当(SPIBRR + 1)为奇数且 SPIBRR 大于 3 时为奇数。

5.10.4.1.4 SPI主模式时序图



A.在字段的尾端，在 FIFO 和非 FIFO 模式下的除非连续发送字，$\overline{SP}\overline{STE}$处于非活动状态。

图 5- 52. 主模式外部时序(时钟相位 = 0)



A.在字的尾端，除了在 FIFO 和非 FIFO 模式下的背对背传输单词之间，SPISTE 将处于非活动状态。

图 5- 53. SPI 主模式外部时序 (时钟相位 = 1)

5.10.5 SPI从模式时序

下面的部分包含 SPI从模式时序。

章节 5.10.5.1.1 列出了 SPI 从模式时序要求。章节 5.10.5.1.2 列出了 SPI 从模式开关特性.时钟相位为 0 的 SPI从模式外部时序如图 5-54 所示。时钟相位为 1 的 SPI从模式外部时序如图5-55 所示。

5.10.5.1.1 SPI 从模式时序要求

表 5- 43. SPI 从模式时序要求

NO.	参数		最小值 最大值	单位
12	$t_{c(SPC)S}$	周期时间，SPICLK	$4t_{c(SYSCLK)}$	ns
13	$t_{w(SPC1)S}$	脉冲持续时间, SPICLK，第一脉冲	$2t_{c(SYSCLK)} - 1$	ns
14	$t_{w(SPC2)S}$	脉冲持续时间, SPICLK，第二脉冲	$2t_{c(SYSCLK)} - 1$	ns
19	$t_{su(SIMO)S}$	建立时间，在 SPICLK 之前 SPISIMO 有效	$1.5t_{c(SYSCLK)}$	ns
20	$t_{h(SIMO)S}$	保持时间，在 SPICLK 之后 SPISIMO 有效	$1.5t_{c(SYSCLK)}$	ns
25	$t_{su(STE)S}$	建立时间，在 SPICLK 之前 SPISTE 有效(时钟相位 = 0)	$2t_{c(SYSCLK)} + 3$	ns
		建立时间，在 SPICLK 之前SPISTE 有效 (时钟相位 = 1)	$2t_{c(SYSCLK)} + 23$	ns
26	$t_{h(STE)S}$	保持时间，在 SPICLK 之后SPISTE	$1.5t_{c(SYSCLK)}$	ns

		无效		

5.10.5.1.2 SPI 从模式开关特性

理论设计指标（除非另作说明）

表 5- 44. SPI 从模式开关特性

NO.	参数		最小值 最大值	单位
15	$t_{d(SOMI)S}$	延迟时间，SPICLK 到 SPISOMI 有效	12	ns
16	$t_{v(SOMI)S}$	有效时间，在 SPICLK 之后 SPISOMI 有效	0	ns

5.10.5.1.3 SPI 从模式时序图

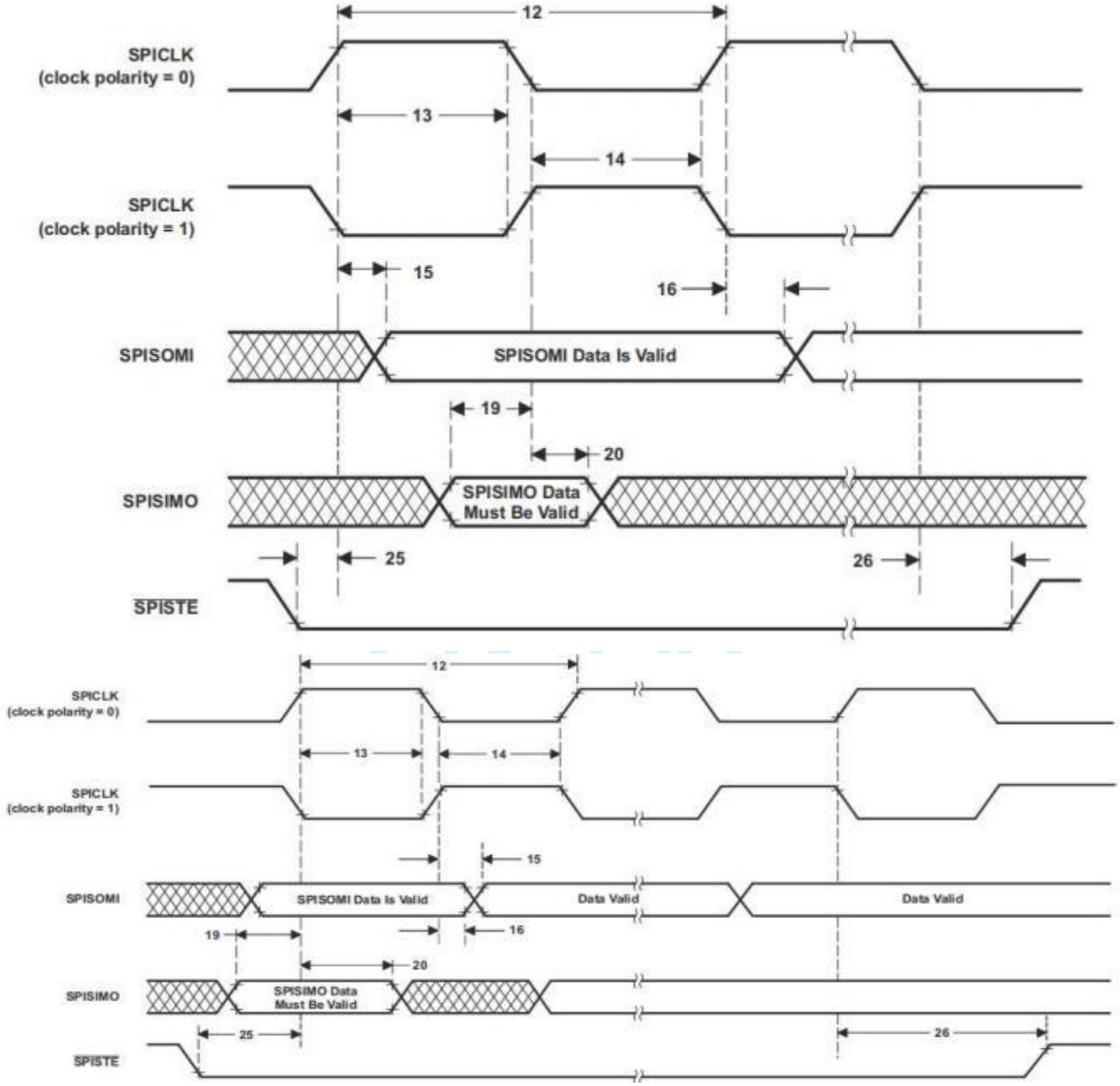


图 5- 55. SPI 从模式外部时序 (时钟相位 = 1)

6 详细描述

6.1 概述

QXS320F28335配备一个功能强大的32位浮点微控制器单元(MCU)，可让设计人员在单个器件上集成关键的控制外设、差分模拟和非易失性存储器。

实时控制子系统基于QX的32位28xCPU，可提供150MHz的信号处理性能。

QXS320F28335支持高达1024KB的闪存和高达512KB的片上SRAM，支持闪存 ECC、SRAMECC/奇偶校验和双区安全性。

QXS320F28335集成了高性能模拟块，以进一步支持系统整合。1个12位ADC可准确、高效地管理多个模拟信号，从而最终提高系统吞吐量。

QXS320F28335包含先进的控制外设(具有独立于频率的ePWM/HRPWM和eCAP)，可对系统进行出色的控制。

通过各种业界通用通信端口(如 SPI、SCI、I2C和CAN)支持连接，并且提供了多个多路复用选项，可在各种应用中实现出色的信号布局。

6.2 功能框图

CPU 系统及其外设如图 6-1 所示。

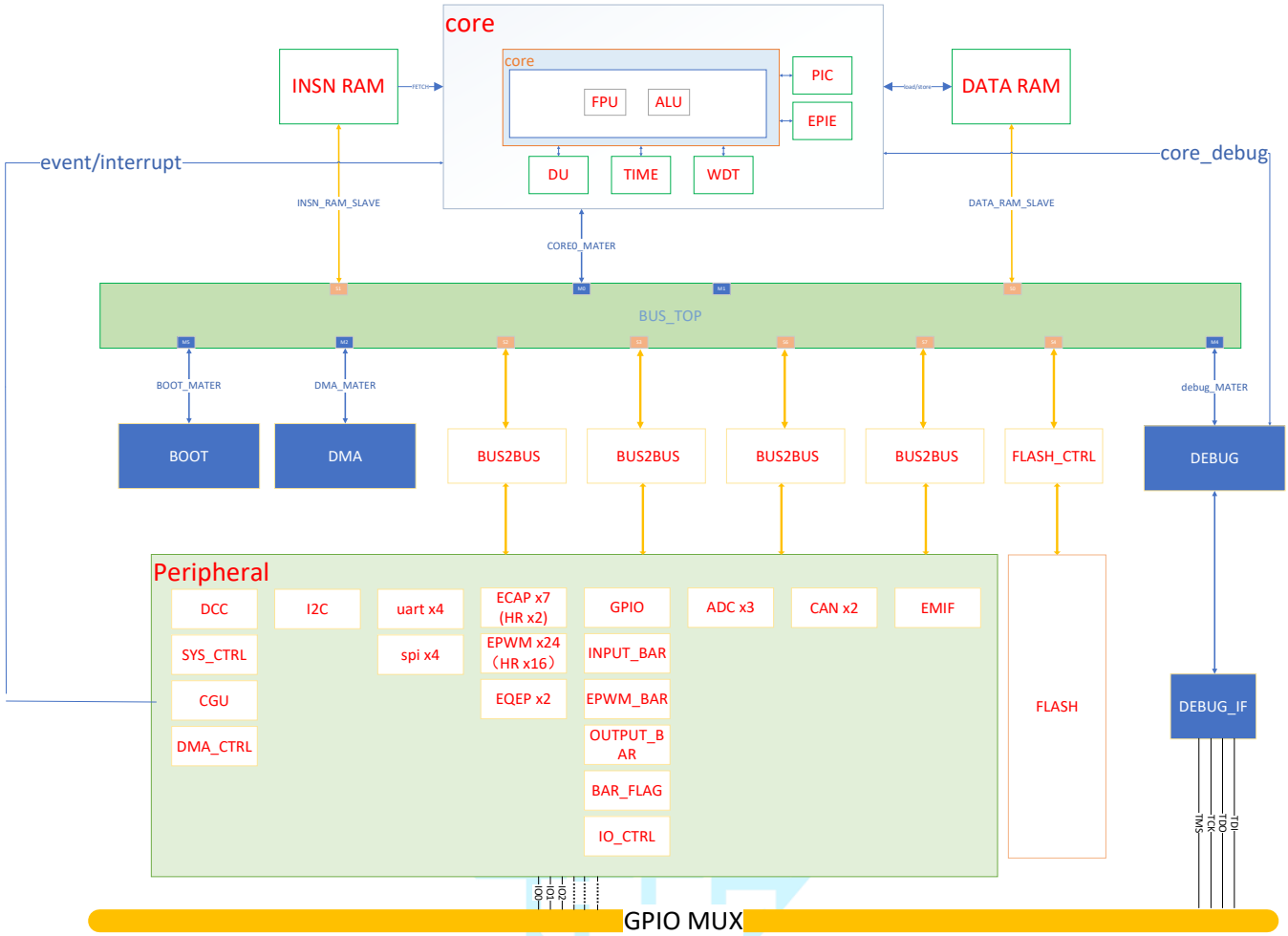


图 6-1. 功能框图

6.3 内存

6.3.1 内存映射

表 6-1. 内存映射

存储器	大小	起始地址	结束地址	DMA存取	支持ECC	奇偶校验	存储器访问保护	SECURE
GSD0 RAM	64KB	0x00000000	0x0000FFFF	是	是			
GSD1 RAM	64KB	0x00010000	0x0001FFFF	是	是			
GSD2 RAM	64KB	0x00020000	0x0002FFFF	是	是			
GSD3 RAM	64KB	0x00030000	0x0003FFFF	是	是			
GSI0 RAM	64KB	0x00200000	0x0020FFFF	是	是			
GSI1 RAM	64KB	0x00210000	0x0021FFFF	是	是			
GSI2 RAM	64KB	0x00220000	0x0022FFFF	是	是			
GSI3 RAM	64KB	0x00230000	0x0023FFFF	是	是			
BOOT RAM	8KB	0x00280000	0x00281FFF					
PIECTRL	256B	0x007F0100	0x007F01FF					
DEBUG	256B	0x007F0200	0x007F02FF					
CPUTIMER0	20B	0x007F0300	0x007F0310					
CPUTIMER1	20B	0x007F0314	0x007F0324					
CPUTIMER2	20B	0x007F0328	0x007F038					
CPUTIMER_SYS	16B	0x007F03A0	0x007F0AC					
CPUTIMER0LC2	4B	0x007F03B0	0x007F03B0					
CPUTIMER1LC2	4B	0x007F03B4	0x007F03B4					
CPUTIMER2LC2	4B	0x007F03B8	0x007F03B8					
CR	256B	0x007F0400	0x007F04FF					
GR	256B	0x007F0500	0x007F05FF					
MOB	256B	0x007F0600	0x007F06FF					
EXP	256B	0x007F0700	0x007F07FF					
WD	256B	0x007F0800	0x007F08FF					
TRACE_BUFFER	256B	0x007F0C00	0x007F0CFF					
WATCH_POINT	256B	0x007F0D00	0x007F0DFF					
ECC	256B	0x007F0E00	0x007F03FF					
ERAD_GLOBAL	256B	0x007F0F00	0x007F0FFF					
ERAD_HWBP1	256B	0x007F1000	0x007F10FF					
ERAD_HWBP2	256B	0x007F1100	0x007F11FF					
ERAD_HWBP3	256B	0x007F1200	0x007F12FF					

ERAD_HWBP4	256B	0x007F1300	0x007F13FF					
ERAD_HWBP5	256B	0x007F1400	0x007F14FF					
ERAD_HWBP6	256B	0x007F1500	0x007F15FF					
ERAD_HWBP7	256B	0x007F1600	0x007F16FF					
ERAD_HWBP8	256B	0x007F1700	0x007F17FF					
ERAD_COUNTER1	256B	0x007F1800	0x007F18FF					
ERAD_COUNTER2	256B	0x007F1900	0x007F19FF					
ERAD_COUNTER3	256B	0x007F1A00	0x007F1AFF					
ERAD_COUNTER4	256B	0x007F1B00	0x007F1BFF					
CLKCFG	4KB	0x01000000	0x01000FFF	是				
CPUSYS	432B	0x01001000	0x010011AF	是				
DEVCFG	432B	0x01001000	0x010011AF	是				
XINT	80B	0x010011B0	0x010011FF	是				
NMIINTRUPT	256B	0x01001200	0x01012FF	是				
DCC0	4KB	0x01002000	0x01002FFF	是				
GPIOCTRL	4KB	0x01003000	0x01003FFF	是				
GPIODATA	4KB	0x01004000	0x01004FFF	是				
INPUTXBAR	4KB	0x01005000	0x01005FFF	是				
EPWMXBAR	4KB	0x01006000	0x01006FFF	是				
OUTPUTXBAR	4KB	0x01007000	0x01007FFF	是				
XBAR	4KB	0x01008000	0x01008FFF	是				
DMA	256B	0x01009000	0x010090FF	是				
DMACH1	256B	0x01009100	0x010091FF	是				
DMACH2	256B	0x01009200	0x010092FF	是				
DMACH3	256B	0x01009300	0x010093FF	是				
DMACH4	256B	0x01009400	0x010094FF	是				
DMACH5	256B	0x01009500	0x010095FF	是				
DMACH6	256B	0x01009600	0x010090FF	是				
ANALOGSUBSYS	4KB	0x0100A000	0x0100AFFF	是				
ADCA	256B	0x0100B000	0x0100B0FF	是				
ADCARESULT	256B	0x0100B100	0x0100B1FF	是				
ADCB	256B	0x0100B200	0x0100B2FF	是				
ADCBRESULT	256B	0x0100B300	0x0100B3FF	是				
ADCC	256B	0x0100B400	0x0100B4FF	是				
ADCCRESULT	256B	0x0100B500	0x0100B5FF	是				
ECAP1	128B	0x01010000	0x0101007F	是				
ECAP2	128B	0x01010080	0x010100FF	是				

ECAP3	128B	0x01010100	0x0101017F	是				
ECAP4	128B	0x01010180	0x010101FF	是				
ECAP5	128B	0x01010200	0x0101027F	是				
ECAP6	64B	0x01010280	0x010102BF	是				
SYNCSOC	128B	0x01010380	0x010103FF	是				
SFO	128B	0x01010400	0x0101047F	是				
EPWM1	512B	0x01011000	0x010111FF	是				
EPWM2	512B	0x01011200	0x010113FF	是				
EPWM3	512B	0x01011400	0x010115FF	是				
EPWM4	512B	0x01011600	0x010117FF	是				
EPWM5	512B	0x01011800	0x010119FF	是				
EPWM6	512B	0x01011A00	0x01011BFF	是				
EQEP1	2KB	0x01012000	0x010127FF	是				
EQEP2	2KB	0x01012800	0x01012FFF	是				
SPI0_MASTER	1KB	0x01013000	0x010133FF	是				
SPI0_SLAVE	1KB	0x01013400	0x010137FF	是				
SPI0_SEL_REG	256B	0x01013800	0x010138FF	是				
SPI1_MASTER	1KB	0x01014000	0x010143FF	是				
SPI1_SLAVE	1KB	0x01014400	0x010147FF	是				
SPI1_SEL_REG	256B	0x01014800	0x010148FF	是				
SCIA	4KB	0x01015000	0x01015FFF	是				
SCIB	4KB	0x01016000	0x01016FFF	是				
I2CA	4KB	0x01017000	0x01017FFF	是				
REGFILE	4KB	0x0101C000	0x0101CFFF	是				
CANA	4KB	0x01052000	0x01052FFF	是				
CANB	4KB	0x01053000	0x01053FFF	是				
FLASH0CTRL	4KB	0x01040000	0x01040FFF	是				
FLASH0DATA	1MB	0x30000000	0x300FFFFF	是				
FLASH0OTP1	1KB	0x30100000	0x301003FF	是				
FLASH0OTP2	1KB	0x30101000	0x301013FF	是				

6.3.2 Flash 内存映射

在QXS320F28335上有一个闪存(1024KB [256KW])可用。一次可以对一个Page、Sector、Block、Chip进行编程或擦除操作。

在正在进行擦除/编程操作的 FLASH Bank 上不应进行任何访问。

FLASH的Page、Sector、Block、Chip关系如表所示。

Each device has	Each block has	Each sector has	Each page has	
1M	64	4K	256	Bytes
4K	256	16		pages
256	16			sectors
16				blocks

可分配的FLASH 扇区地址如表 6-3所示。

6.3.2.1 Flash 扇区地址

表 6- 3-1. FLASH OTP扇区地址

扇区	地址		
	大小	开始	结束
OTP 0扇区			
FLASH00TP1	1KB	0x30100000	0x301003FF
FLASH00TP2	1KB	0x30101000	0x301013FF

表 6- 3-2. FLASH Block 地址

Block	Sector	Address range	
15	255	0x300FF000H	0x300FFFFFH
	……	……	……
	240	0x300F0000H	0x300F0FFFH
14	239	0x300EF000H	0x300EFFFFH
	……	……	……
	224	0x300E0000H	0x300E0FFFH
……	……	……	……
	……	……	……
	……	……	……
……	……	……	……
	……	……	……
	……	……	……
2	47	0x3002F000H	0x3002FFFFH
	……	……	……

	32	0x30020000H	0x30020FFFH
1	31	0x3001F000H	0x3001FFFFH
	……	……	……
	16	0x30010000H	0x30010FFFH
0	15	0x3000F000H	0x3000FFFFH
	……	……	……
	0	0x30000000H	0x30000FFFH

6.3.3.2 外设寄存器内存映射

外设寄存器内存映射表(H28x)如下：

表 6- 4. 外设寄存器内存映射表 (H28x)

寄存器	大小	起始地址	结束地址	流水线保护(1)	DMA 存取
CLKCFG	4KB	0x01000000	0x01000FFF	是	是
CPUSYS	432B	0x01001000	0x010011AF	是	是
DEVCFG	432B	0x01001000	0x010011AF	是	是
XINT	80B	0x010011B0	0x010011FF	是	是
NMIINTRUPT	256B	0x01001200	0x01012FF	是	是
DCC0	4KB	0x01002000	0x01002FFF	是	是
GPIOCTRL	4KB	0x01003000	0x01003FFF	是	是
GPIODATA	4KB	0x01004000	0x01004FFF	是	是
INPUTXBAR	4KB	0x01005000	0x01005FFF	是	是
EPWMXBAR	4KB	0x01006000	0x01006FFF	是	是
OUTPUTXBAR	4KB	0x01007000	0x01007FFF	是	是
XBAR	4KB	0x01008000	0x01008FFF	是	是
DMA	256B	0x01009000	0x010090FF	是	是
DMACH1	256B	0x01009100	0x010091FF	是	是
DMACH2	256B	0x01009200	0x010092FF	是	是
DMACH3	256B	0x01009300	0x010093FF	是	是
DMACH4	256B	0x01009400	0x010094FF	是	是
DMACH5	256B	0x01009500	0x010095FF	是	是
DMACH6	256B	0x01009600	0x010090FF	是	是
ANALOGSUBSYS	4KB	0x0100A000	0x0100AFFF	是	是

ADCA	256B	0x0100B000	0x0100B0FF	是	是
ADCARESULT	256B	0x0100B100	0x0100B1FF	是	是
ADCB	256B	0x0100B200	0x0100B2FF	是	是
ADCBRESULT	256B	0x0100B300	0x0100B3FF	是	是
ADCC	256B	0x0100B400	0x0100B4FF	是	是
ADCCRESULT	256B	0x0100B500	0x0100B5FF	是	是
ECAP1	128B	0x01010000	0x0101007F	是	是
ECAP2	128B	0x01010080	0x010100FF	是	是
ECAP3	128B	0x01010100	0x0101017F	是	是
ECAP4	128B	0x01010180	0x010101FF	是	是
ECAP5	128B	0x01010200	0x0101027F	是	是
ECAP6	64B	0x01010280	0x010102BF	是	是
SYNCSOC	128B	0x01010380	0x010103FF	是	是
SFO	128B	0x01010400	0x0101047F	是	是
EPWM1	512B	0x01011000	0x010111FF	是	是
EPWM2	512B	0x01011200	0x010113FF	是	是
EPWM3	512B	0x01011400	0x010115FF	是	是
EPWM4	512B	0x01011600	0x010117FF	是	是
EPWM5	512B	0x01011800	0x010119FF	是	是
EPWM6	512B	0x01011A00	0x01011BFF	是	是
EQEP1	2KB	0x01012000	0x010127FF	是	是
EQEP2	2KB	0x01012800	0x01012FFF	是	是
SPIO_MASTER	1KB	0x01013000	0x010133FF	是	是
SPIO_SLAVE	1KB	0x01013400	0x010137FF	是	是
SPIO_SEL_REG	256B	0x01013800	0x010138FF	是	是
SPI1_MASTER	1KB	0x01014000	0x010143FF	是	是
SPI1_SLAVE	1KB	0x01014400	0x010147FF	是	是
SPI1_SEL_REG	256B	0x01014800	0x010148FF	是	是
SCIA	4KB	0x01015000	0x01015FFF	是	是
SCIB	4KB	0x01016000	0x01016FFF	是	是

I2CA	4KB	0x01017000	0x01017FFF	是	是
REGFILE	4KB	0x0101C000	0x0101CFFF	是	是
CANA	4KB	0x01052000	0x01052FFF	是	是
CANB	4KB	0x01053000	0x01053FFF	是	是
FLASHOCTRL	4KB	0x01040000	0x01040FFF	是	是
FLASHODATA	1MB	0x30000000	0x300FFFFF	是	是
FLASHOOTP1	1KB	0x30100000	0x301003FF	是	是
FLASHOOTP2	1KB	0x30101000	0x301013FF	是	是

(1) CPU（不适用于 CLA 或 DMA）包含先写后读保护模式，以确保在受保护地址范围内，通过延迟读取操作直至启动写入操作，按写入形 式执行位于写入操作之后的任何读取操作。

表 6- 5. 互联说明

Slave No	Slave name	M0	M1	M2	M3	M4
		CPU0	CPU1	DMA	BOOT	DEBUG
S0	D_MEM	Y	Y	Y		Y
S1	I_MEM			Y	Y	Y
S2	外设组1	Y	Y	Y		Y
S3	外设组2	Y	Y	Y		Y
S4	CAN0	Y	Y	Y		Y
S5	CAN1	Y	Y	Y		Y
S6	Flash_ctrl	Y	Y	Y		Y
S7	HARDWARE	Y	Y	Y		Y
S8	flash	Y	Y	Y		Y

6.3.3 存储器类型

6.3.3.1 CPU数据 RAM (GSDx RAM)

CPU 子系统有四个支持 ECC 功能的数据RAM。

6.3.3.2 CPU指令RAM (GSIx RAM)

CPU 子系统有四个支持 ECC 功能的指令RAM。

6.3.3.3 CPU指令RAM (BOOT RAM)

CPU的BOOT代码存放区。

6.4 总线架构-外设连接

外设连接表列出了每条总线访问外设和配置寄存器。

表 6-9. 外设连接

外设	DMA	副CPU	主CPU
系统外设			
CPU 计时器	是	是	是
系统配置 （ WD、NMIWD、LPM、外设时钟门控 ）		是	是
器件功能、外设复位	是	是	是
时钟和PLL配置	是	是	是
闪存配置	是	是	是
复位配置	是	是	是
GPIO 引脚映射和配置	是	是	是
GPIO 数据)	是	是	是
DMA触发源选择	是	是	是
控制外设			
ePWM/HRPWM	是	是	是
eCAP	是	是	是
eQEP	是	是	是
模拟外设			
模拟系统控制	是	是	是
外设	DMA	副CPU	CPU
ADC 配置	是	是	是
ADC 结果	是	是	是
通信外设			
CAN	是	是	是
SPI1	是	是	是
I2C	是	是	Y
SCI	是	是	Y

6.6 C28x 处理器

6.6.1 介绍

CPU 为具有自主知识产权的高性能低功耗32 位浮点处理器处理器,采用了数字信号处理最佳特性；精简指令集计算 (RISC)；以及微控制器架构、 固件和工具集。以及微控制器架构、固件和工具集。

6.6.2 特点

处理器是一款具有自主知识产权的高性能低功耗数字信号处理器芯片。“高性能”是以、超长指令字（VLIW）技术和硬件循环（hardware loop）技术为基础，通过对各模块功能的细分和优化来实现的。同时基于对移动多媒体领域应用的分析，精确定义指令集，提高应用程序的代码密度、减少程序执行周期数以降低总能耗。微控制器特性包括易懂易用的指令集、字节打包和解包以及位操作。改进型哈佛体系架构的 CPU 可实现指令和数据的并行获取。CPU 可以在读取指令和数据的同时写入数据， 以维持流水线中的单周期指令操作。

完整的处理器主要包含了DSP内核、片上存储器（I-MEM、D-MEM）、直接存储访问模块（DMA）、对外接口（EMIF、HPI、SPI、I2C、GPIO、CAN等）和调试模块（Debug）。

6.6.3 浮点单元(FPU)

C28x 加浮点 (C28x+FPU) 处理器通过增加支持 IEEE 单精度浮点运算的寄存器和指令来扩展 C28x 定点 CPU 的功能。

具有 C28x+FPU 的器件包含标准 C28x 寄存器集以及一组额外的浮点单元寄存器。额外的浮点单元寄存器如下：

八个浮点结果寄存器，RnH（其中 n=0–7）

浮点状态寄存器 (STF)

重复块寄存器 (RB)

除 RB 寄存器外，所有浮点寄存器都采用影子化技术。这种影子化可用于高优先级中断，以实现浮点寄存器的快速上下文保存和恢复。

6.7 直接内存访问(DMA)

DMA 模块提供了一种硬件方法，可以在外设和/或内存之间传输数据，而不需要 CPU 的干预，从 而为其他系统功能释放带宽。此外，DMA 具有在传输数据时对数据进行正交重新排列的能力，以及缓冲区之间的“乒乓”数据。这些特性有助于优化 CPU 进程，将数据结构化成块。DMA 的设备级框图如图 6-3 所示。

DMA 特性包括：

- 六个具有独立 PIE 中断的通道
- 外设DMA触发源
  - ADC 中断和 EVT 信号
  - 外部中断
  - ePWM SOC 信号
  - CPU 计时器
  - eCAP
  - SPI 发送和接收
  - SPI 发送和接收
- 数据源和目标 ：
  - GSx RAM
  - ADC 结果寄存器
  - 控制外设寄存器 （ ePWM、eQEP、eCAP)
  - SPI寄存器
- 字大小 ：8位、16 位或 32 位
- 数据率 ：每个字十五个周期，8深度FIFO ，无需仲裁

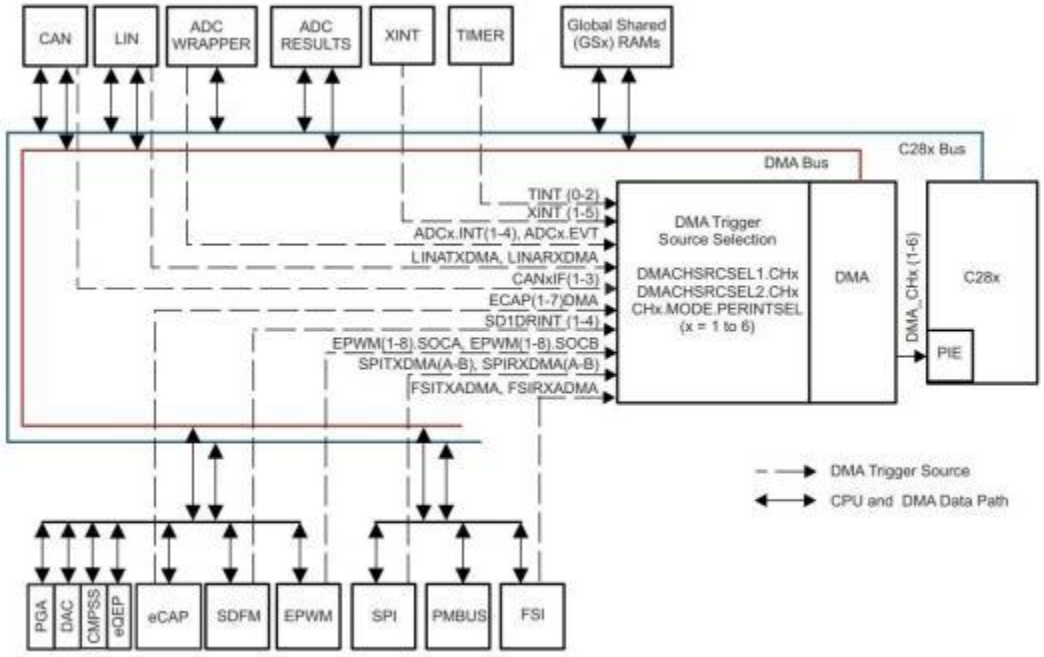

CAN
LIN
ADC WRAPPER
ADC RESULTS
XINT
TIMER
Global Shared (GSx) RAMs
C28x Bus
DMA Bus
TINT (0-2)
XINT (1-5)
ADCx.INT(1-4), ADCx.EVT
LINATXDMA, LINARXDMA
CANxIF(1-3)
ECAP(1-7)DMA
SD1DRINT (1-4)
EPWM(1-8).SOCA, EPWM(1-8).SOCB
SPITXDMA(A-B), SPIRXDMA(A-B)
FSITXADMA, FSIRXADMA
DMA Trigger Source Selection
DMACHSRCSEL1.CHx
DMACHSRCSEL2.CHx
CHx.MODE.PERINTSEL
(x = 1 to 6)
DMA
DMA_CHx (1-6)
C28x
PIE
DMA Trigger Source
CPU and DMA Data Path
PGA
DAC
CMPSS
eQEP
eCAP
SDFM
EPWM
SPI
PMBUS
FSI

图 6- 3. DMA 框图

6.8 看门狗

看门狗计数器的软件重置间隔有一个可选的下限时间。这个窗口倒计时默认是禁用的。

看门狗产生复位或中断。它的时钟可以来自内部振荡器与可选择的分频器。看门狗模块各功能模块如图 6-4 所示。

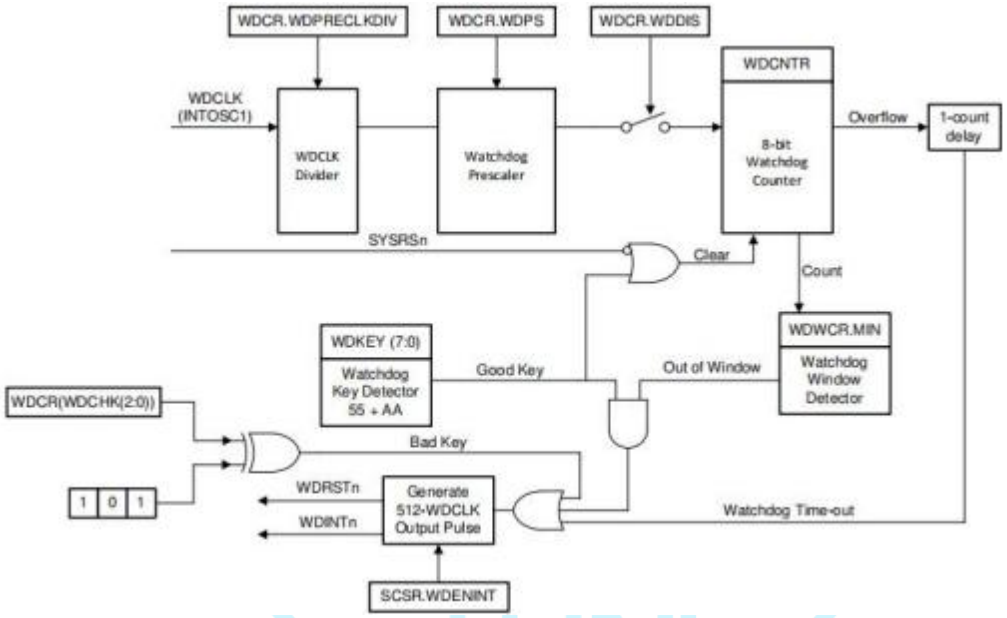


图 6-4. 看门狗

6.9 C28x 计时器

CPU 定时器 0、1、2 都是相同的 32 位定时器，具有可预置的周期和预缩放 16 位时钟。计时器有一个 32 位倒计时寄存器，当计数器达到零时产生中断。计数器以CPU 时钟速度除以预置值的值递减。当计数器达到零时，它会自动用一个 32 位的周期值重新加载。

CPU-Timer 0 用于一般用途，并且已连接到 PIE 块。CPU- timer 1 也是通用的，并且连接到 CPU 的 INT13。CPU-Timer 2 为 QX-RTOS 预留，并且连接 CPU 的 INT14。如果 QX-RTOS 不被使用，CPU-Timer2 可用于一般用途。

CPU-Timer 2 可以通过以下任何一个来计时：

- SYSCLK (默认)
- 内部晶振振荡器1 (INTOSC1)
- 内部晶振振荡器 2 (INTOSC2)
- X1 (XTAL)

6.10 双时钟比较器 (DCC)

双时钟比较器模块用于基于第二个时钟评估和监控时钟输入，第二个时钟可以是更准确可靠的版本。此仪表用于检测时钟源或时钟结构中的故障，从而提高系统的安全性指标。

6.10.1 特点

DCC 有以下特点 ：

- 允许应用程序在两个时钟信号的频率之间保持固定的比例。
- 支持根据参考时钟周期的数量定义可编程公差窗口。
- 支持连续监控，不需要应用程序干预。
- 支持点测的单序列模式。
- 允许为每个计数器选择一个时钟源，从而产生不同的特定的情况。

6.10.2 DCCx(DCC0 and DCC1) 时钟源输入映射

表 6- 15. DCCx 时钟源 0

DCCxCLKSRC0[3:0]	CLOCK 名称
0x0	XTAL
0x1	INTOSC1
0x2	INTOSC2
others	保留

表 6- 16. DCCx 时钟源 1

DCCxCLKSRC1[3:0]	CLOCK 名称
0x0	PLLRAWCLK
others	保留

7 开发支持

7.1 集成开发环境QX-IDE

用户可以在“QXDSPC2000系列-开发工具链”的发布地址（如下），下载QX-IDE。

1. https://pan.baidu.com/s/1bfo-FDc_qO7cY8KOFM-vMg 提取码: qide

2. https://pan.quark.cn/s/a4fccb17121f 提取码：B6Kg

QX-IDE的安装和使用方法参考“QX-IDE_User_Manual.pdf”。

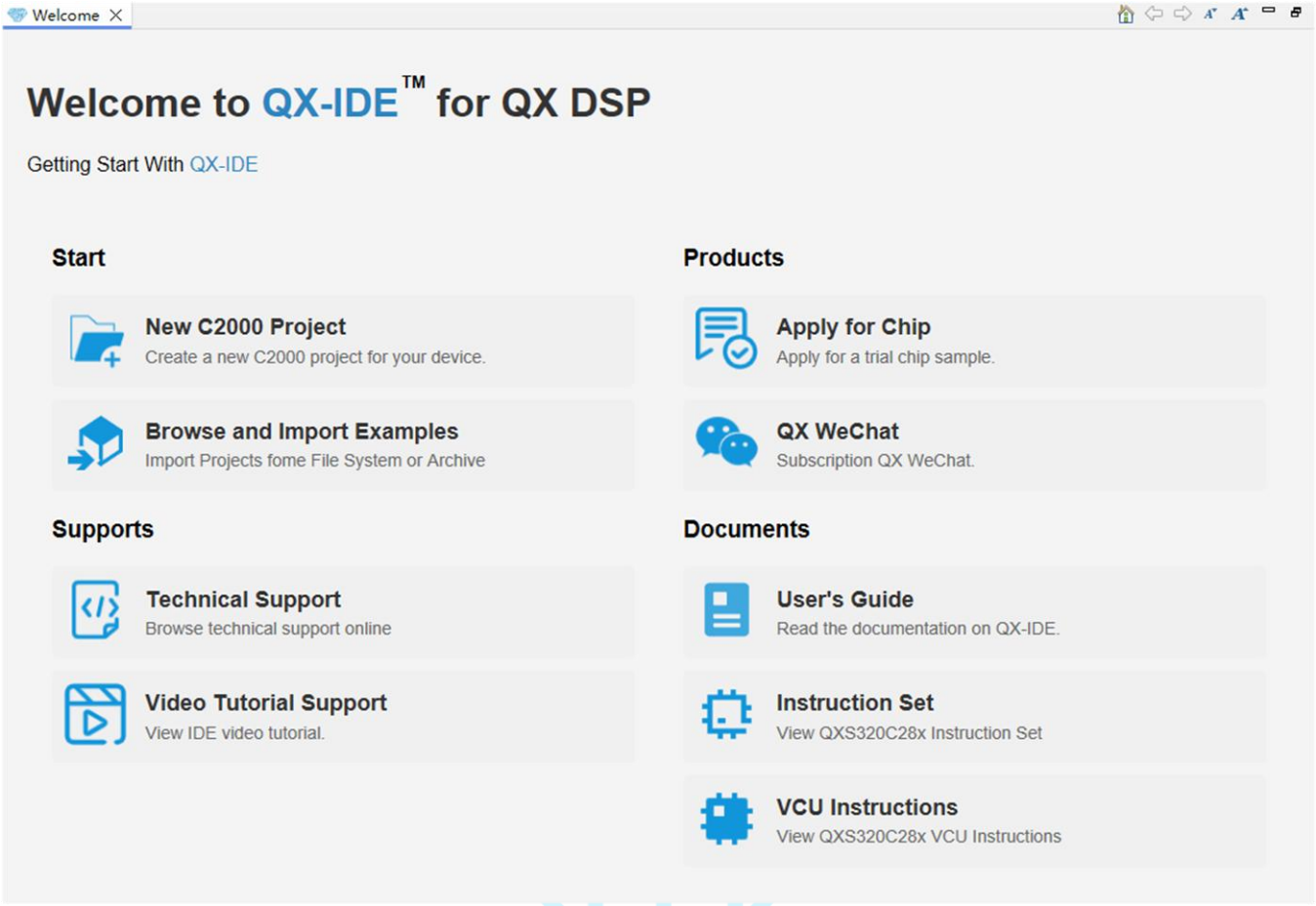


图 1：QX-IDE欢迎界面

7.2 仿真器

7.2.1 简介

QXS320f 3槽DSP的仿真环境如图 所示，包括

（1）宿主机：执行调试命令、显示目标机状态

（2）目标机：被调试设备

（3）接口卡：FT2232HL，负责USB/JTAG接口及协议转换

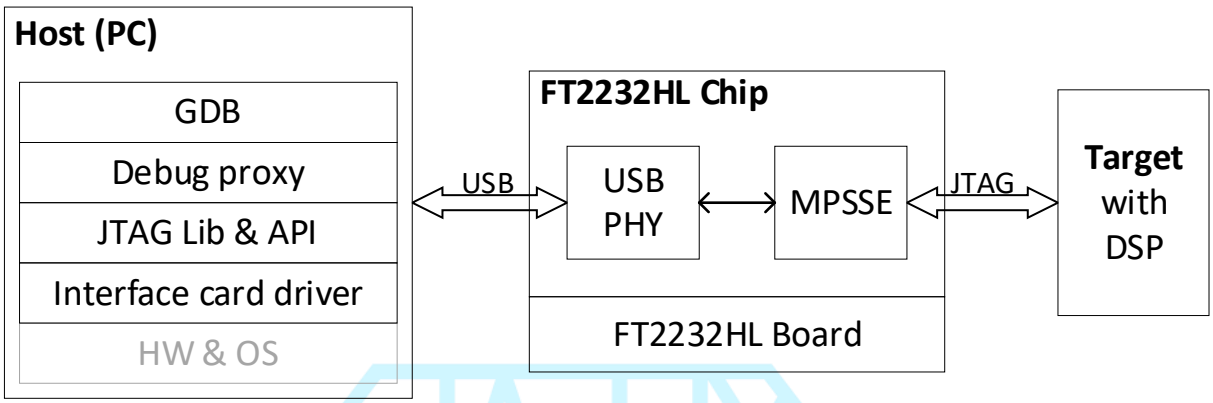


图 2：基本结构

7.2.2 结构

7.2.2.1 宿主机

与DSP仿真相关的宿主机软件结构如图 所示。

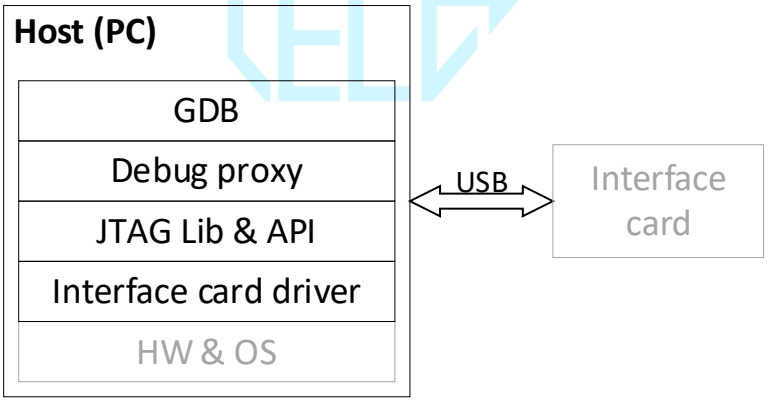


图 3：宿主机软件结构

宿主机通过USB接口和接口卡连接，并包含以下部分

1） 接口卡驱动：使宿主机能够通过接口卡收发数据

2） JTAG Lib和API：接口卡组件，针对接口卡在USB/JTAG工作模式的函数库及应用程序接口

3） GDB：基于GNU Debugger为DSP定制的调试器

4） 调试代理：通过调用JTAG API进行JTAG接口配置，以及GDB和JTAG API之间的消息转发。

GDB发出的调试命令被调试代理转换成对应的JTAG API调用，接口卡返回的消息被调试代理转换为对应的GDB packet发送给GDB

7.2.2.2 目标机

目标机通过JTAG接口和接口卡连接。

7.2.2.3 接口卡

宿主机和目标机的连接、通讯需借助接口卡以进行USB和JTAG接口及协议的相互转换。接口卡的逻辑结构如图 所示。

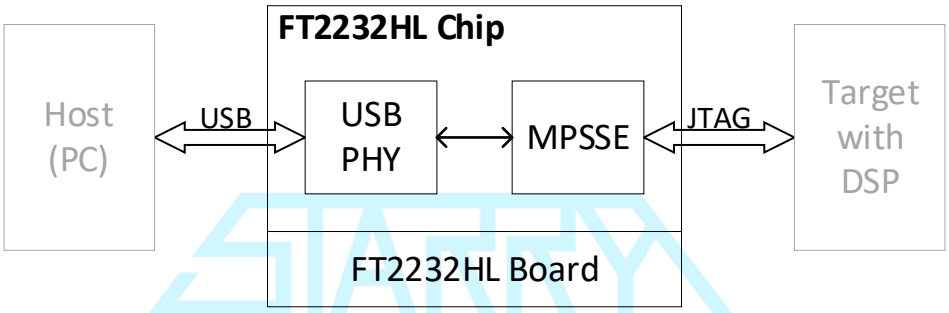


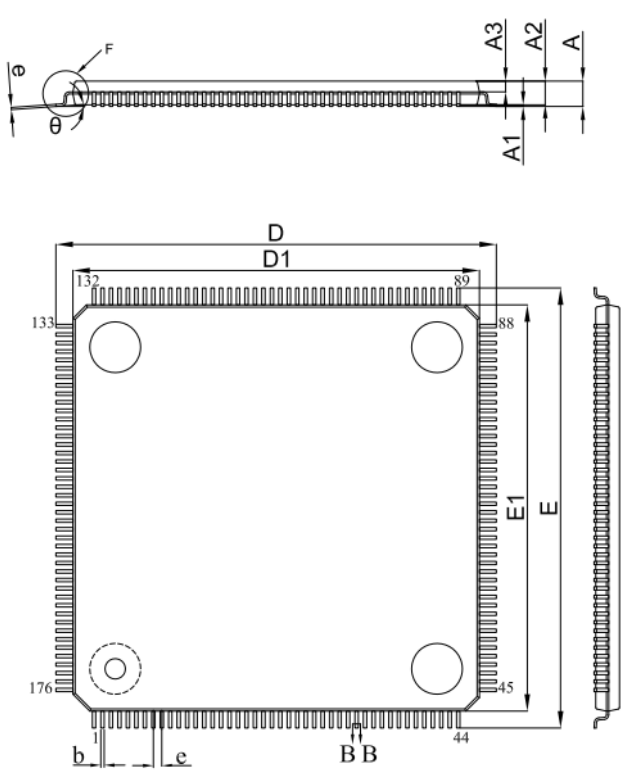
图 4：接口卡逻辑结构

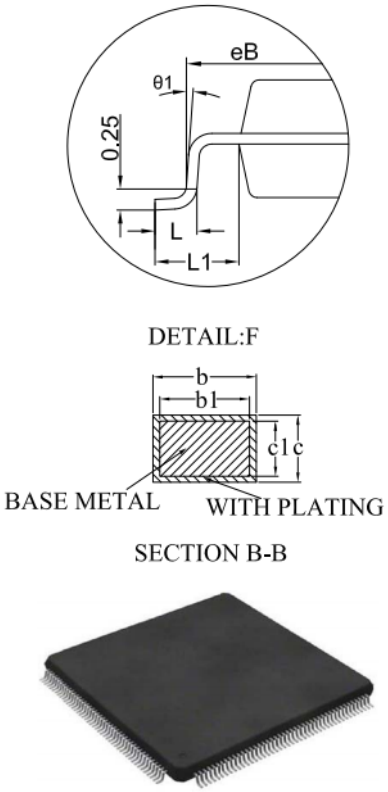
接口卡采用FTDI公司的FT2232HL芯片。该芯片一边固定为USB 2.0的物理层和宿主机连接；另一边是可配置的UART/FIFO接口。

在当前的DSP仿真场景，该接口配置成MPSSE（Multi-Protocol Synchronous Serial Engine），作为JTAG接口和目标机连接。

8 封装外形尺寸

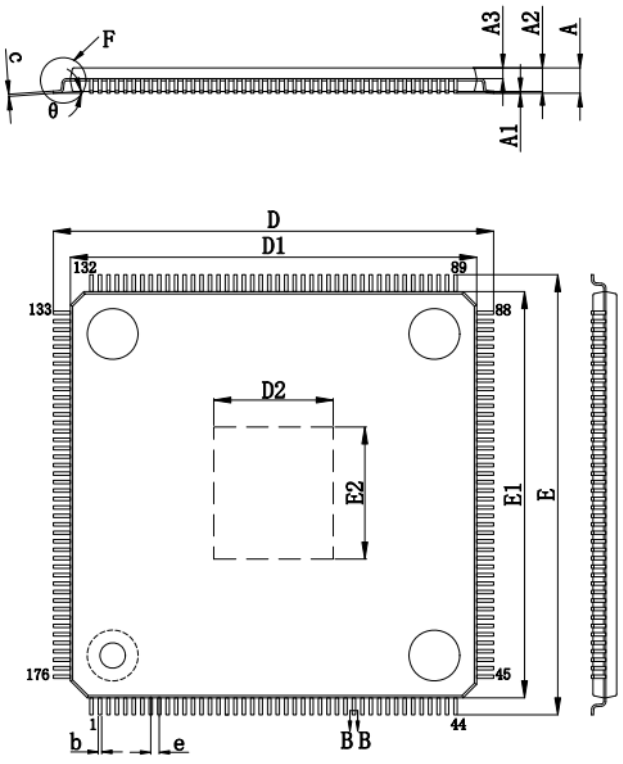
8.1 LQFP176 PIN

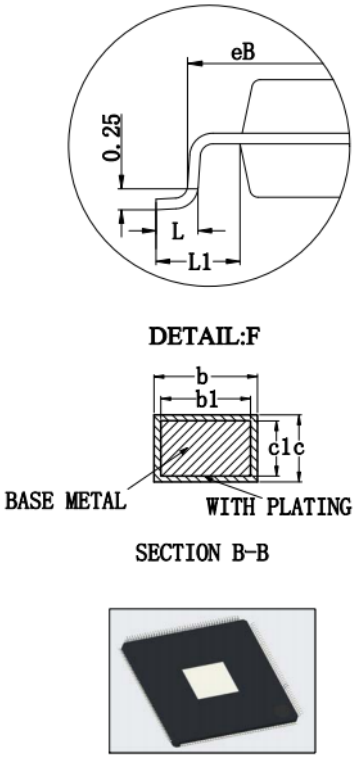




SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	25.80	26.00	26.20
D1	23.90	24.00	24.10
E	25.80	26.00	26.20
E1	23.90	24.00	24.10
eB	25.05	—	25.25
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
θ	0	—	7°
θ1	0°	—	—

8.2 eLQFP176 PIN





SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	25.80	26.00	26.20
D1	23.90	24.00	24.10
E	25.80	26.00	26.20
E1	23.90	24.00	24.10
eB	25.05	—	25.25
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
θ	0	—	7°

L/P size (mil) \ size (mm)	D2	E2
307*278	7.06REF	7.80REF

9 订货信息

9.1 封装信息

表 9-1.封装信息

产品型号	芯片版本	封装系列	封装类型	管脚数	环保标准	引线镀层/球材料	湿敏等级和最大耐焊接温度	工作温度
QXS320F28335PGFS	EDB	LQFP	PGF	176	Green (RoHS&无卤)	Sn	Level-3-260C-168HR (3 级-小于或等于 260° C-168 小时车间寿命)	-40° C 至 125° C
QXS320F28335PTPS	EDB	ELQFP	PTP	176	Green (RoHS&无卤)	Sn	Level-3-260C-168HR (3 级-小于或等于 260° C-168 小时车间寿命)	-40° C 至 125° C

9.2 封装概览

关于乾芯科技

合肥乾芯科技有限公司是一家专业研发各类处理器芯片及IP软核的企业。我们核心产品是以数字信号处理器（DSP）为主，以微控制器（MCU）等产品为外延的处理器系列产品，主要面向数字电源、电机控制、光伏逆变器控制等领域。

公司核心研发团队由工业界知名专家组成，研发设计处理器芯片数十年，具有丰富的研发经验；核心团队成员曾成功大规模量产过多款芯片，研制的各类处理器芯片均达到国际一流技术水平。是国内为数不多的具备涵盖处理器体系结构定义、逻辑设计、物理实现到 GDS 生成全流程，以及工具链、配套函数库和集成开发环境全方位研发能力的团队。

我们的优势在于从指令集到内核微架构再到完整工具链均为自主研发。公司目前已拥有多项发明专利和软著，对核心技术建立专利池并形成完整知识产权保护链。

联系方式

公司网址： www.starrystonetech.com

联系邮箱： qx001@starrystonetech.com

联系电话： 0551-68168580

公司地址： 安徽合肥高新区创业产业园2期F1栋21楼